



LEVETOP

LT7589 PCB 布板 与 EMI/EMC 建议

V1.5

版本记录

版本	日期	说明
V1.0	2024/12/3	整合初版
V1.1	2025/04/09	增加 1.6 章节以及更新其他布板注意事项、3.1 章节与 3.2 章节描述
V1.2	2025/4/22	增加 1.7 章节以及更新 1.8 章节的描述与图片、3.1 章节时钟信号的描述与图片、3.2 章节 EFT 的描述与图片
V1.5	2025/12/10	修改了 1.6 章节、2.1 章节以及 2.2 章节的内容

版权说明

本文件之版权属于 乐升半导体 所有, 若需要复制或复印请事先得到 乐升半导体 的许可。本文件记载之信息虽然都有经过校对, 但是 乐升半导体 对文件使用说明的规格不承担任何责任, 文件内提到的应用程序仅用于参考, 乐升半导体 不保证此类应用程序不需要进一步修改。乐升半导体 保留在不事先通知的情况下更改其产品规格或文件的权利。有关最新产品信息, 请访问我们的网站 <Http://www.levetop.cn> 。

目 录

版本记录	2
版权说明	2
目 录	3
图附录	4
1. PCB 布板注意事项	6
1.1. 3.3V 电源输入布线	6
1.2. 电源线通过过孔走线	6
1.3. Flash 的布局与走线	7
1.4. 晶振的布局与走线	7
1.5. USB 的布局与走线	8
1.6. LT7589A/B 滤波电容的布局	8
1.7. PCB 中的 GND 铜皮处理	9
1.8. QFN 封装芯片底部焊盘设计	11
1.9. 其他布板注意事项	11
2. EMC/EMI 优化方案	13
2.1. EMC 优化建议	13
2.2. EMI 优化建议	17
3. 原理图检查流程	26
3.1. LT7589A/B 时钟与电源电路	26
3.2. 原理图检查项目	30

图附录

图 1-1: 电源信号线走线范例	6
图 1-2: 电源信号线过孔打孔范例	6
图 1-3: 外部 Flash 芯片位置布板范例	7
图 1-4: 晶振位置布板范例	7
图 1-5: USB 的差分走线以及包地示意图	8
图 1-6: LT7589A 的滤波电容布局	8
图 1-7: LT7589B 的滤波电容布局	8
图 1-8: PCB 中的 GND 铜皮处理对比示例图 (一)	9
图 1-9: PCB 中的 GND 铜皮处理对比示例图 (二)	10
图 1-10: LT7589A (QFN96) 焊盘与脚位图	11
图 1-11: LT7589A 导线通过滤波电容示意图	11
图 1-12: 电源线过孔大小以及泪滴处理示意图	12
图 2-1: 电源输入高频脉冲稳定性优化建议	13
图 2-2: 外部接口 EMC 优化与布板示例图	13
图 2-3: SD 卡 EMC 优化建议	13
图 2-4: SWD 烧录口 EMC 优化建议	14
图 2-5: CTP 相关信号 EMC 优化建议	14
图 2-6: TFT 电源输入 EMC 优化建议	14
图 2-7: 两层板的 GND 覆铜处理示意图	15
图 2-8: 多层板(四层板)的 GND 覆铜处理示意图	15
图 2-9: 悬空焊盘处理示意图	16
图 2-10: PCB 上的 GND 焊盘示意图	16
图 2-11: TFT 信号 EMI 优化建议	17
图 2-12: TFT 信号磁珠布板示意图 (一)	17
图 2-13: TFT 信号磁珠布板示意图 (二)	18
图 2-14: LCD 背光电路 EMI 优化范例	19
图 2-15: LCD 背光电路 EMI 布局处理示例图	19
图 2-16: FLASH 时钟线的 EMI 处理示意图	20
图 2-17: FLASH 的 EMI 布局处理示意图	20
图 2-18: 晶振的 EMI 布局处理示意图	21
图 2-19: 屏幕数据线包地处理的示意图	21
图 2-20: USB 信号线的 EMI 处理示意图	22
图 2-21: 电源输入 EMI 优化范例	22
图 2-22: 电源输入优化布板示例图	22
图 2-23: 串口通信 EMI 优化建议	23
图 2-24: CTP EMI 优化建议	23
图 2-25: 主控部分添加金属屏蔽罩支架示例图	24
图 2-26: VGH/VGL 电路 EMI 优化参考原理图	25

图 2-27: VGH/VGL 电路优化布板示例图.....	25
图 3-1: 时钟信号.....	26
图 3-2: LT7589A/B 晶振电路图.....	27
图 3-3: LT7589A 电源电路(一).....	28
图 3-4: LT7589A 电源电路(二).....	29
图 3-5: LT7589A/B 的 LCD_RST 脚处理.....	30
图 3-6: 3.3V 的 DC to DC 电源电路范例.....	31
图 3-7: TFT 屏的 FPC 做包覆处理.....	31
图 3-8: 降低 EFT 干扰的参考电路.....	31

1. PCB 布板注意事项

1.1. 3.3V 电源输入布线

多个电容或电阻之间布线可走 0.5mm (20mil) 线宽走线, 以 LT7589A 为例, 接入的电源线尽量走 0.3mm (12mil) 以上线宽走线, 焊盘扇出走线可走 0.17mm (7mil) 线宽走线。

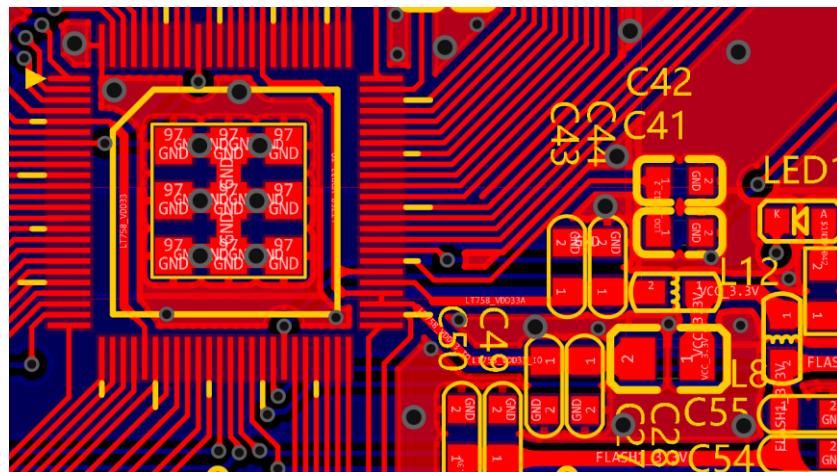


图 1-1: 电源信号线走线范例

1.2. 电源线通过过孔走线

电源线的过孔尺寸建议外径 0.8mm (31mil) 内径 0.5mm (20mil) 以上, 并视情况增加到 2-3 个过孔来连接, 电源线的宽度要比一般信号线宽 3~5 倍以上, 条件充足的情况下, 应该尽量对大电流的线进行扩面加粗及增加 PCB 过孔数。

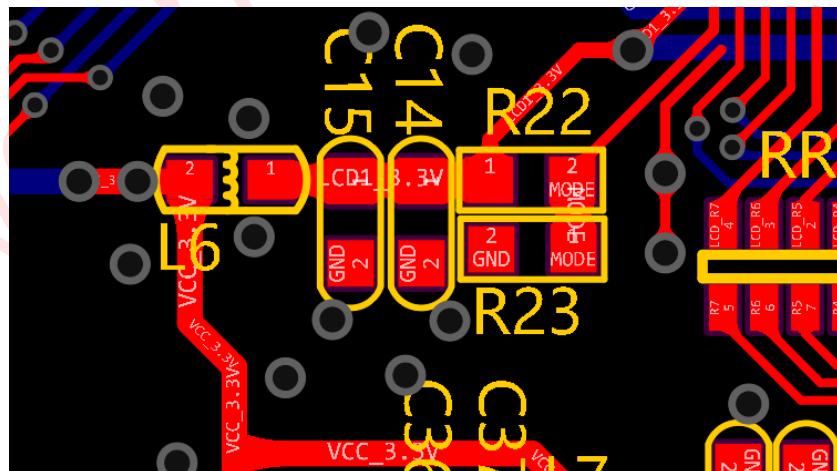


图 1-2: 电源信号线过孔打孔范例

1.3. Flash 的布局与走线

SPI Flash 都是高速运行，甚至到 100MHz，因此在进行 Layout 布板时，Flash 位置应尽量靠近主芯片，Flash 的控制线应尽量短，Flash 中的时钟线需要避免过孔，并且要对 Flash 进行包地处理。

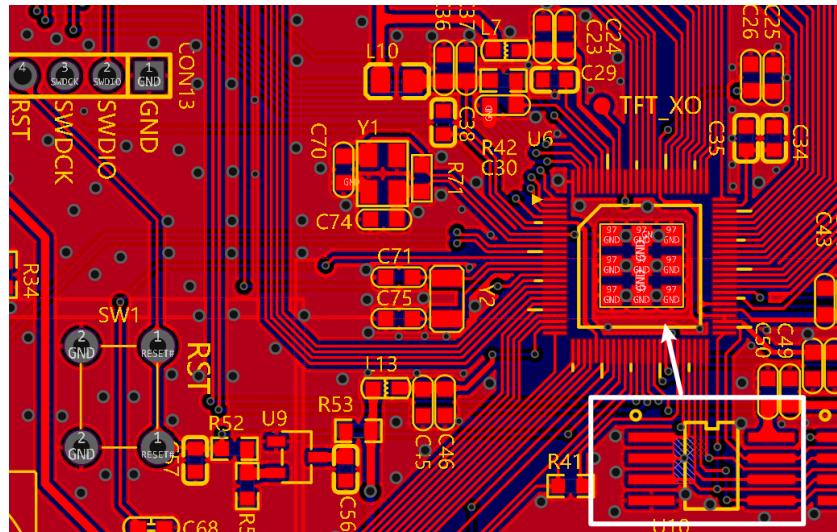


图 1-3: 外部 Flash 芯片位置布板范例

1.4. 晶振的布局与走线

晶振电路应靠近串口屏主芯片，晶振下面及 PCB 背部不能走线，建议电路周围用地线包地。

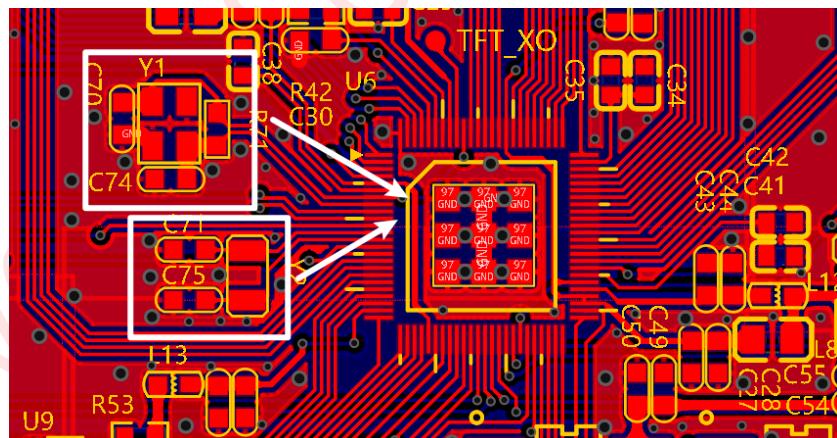


图 1-4: 晶振位置布板范例

1.5. USB 的布局与走线

USB 接口应该尽量靠近芯片的 DM、DP 脚，DM、DP 网络走线要遵循差分走线，差分对长度误差控制在 $\pm 0.254\text{mm}$ 。DM、DP 网络走线要包地，要跟其他信号线有尽量宽的地线隔离，在包地的边缘上可以适当增加 GND 的过孔。

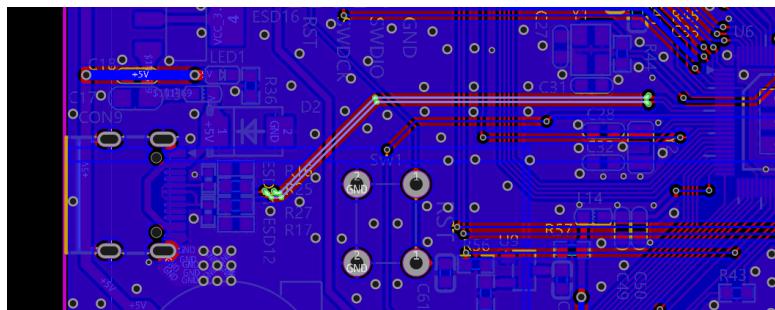


图 1-5: USB 的差分走线以及包地示意图

1.6. LT7589A/B 滤波电容的布局

LT7589A 与 LT7589B 的 VDD33B、VDD33_IO1、VDD33_IO2、AVDD、VDD33A、VDD12 以及 LCD_V12 的滤波电容需要尽量靠近 MCU 引脚。

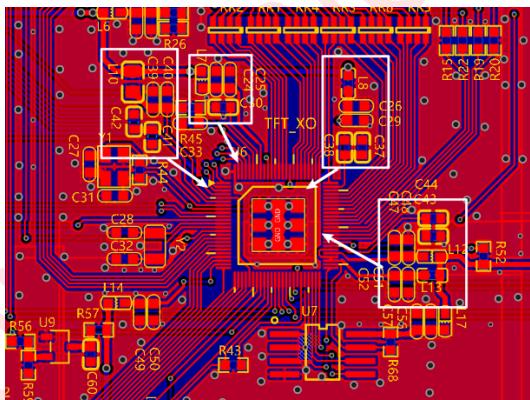


圖 1-6: LT7589A 的濾波電容布局

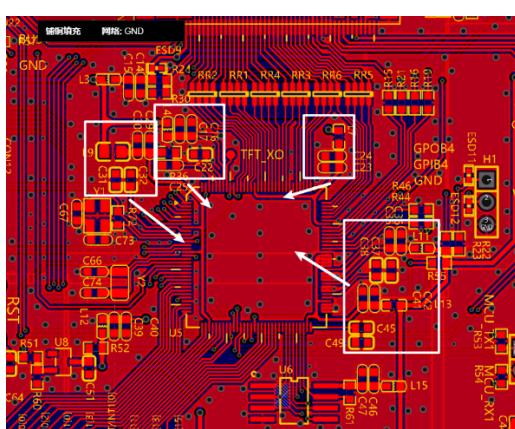


圖 1-7: LT7589B 的濾波電容布局

1.7. PCB 中的 GND 铜皮处理

在 PCB 布局和走线时, 要注意至少有一层的 GND 铜皮尽量地保持完整, 避免将铜皮过度地分割。

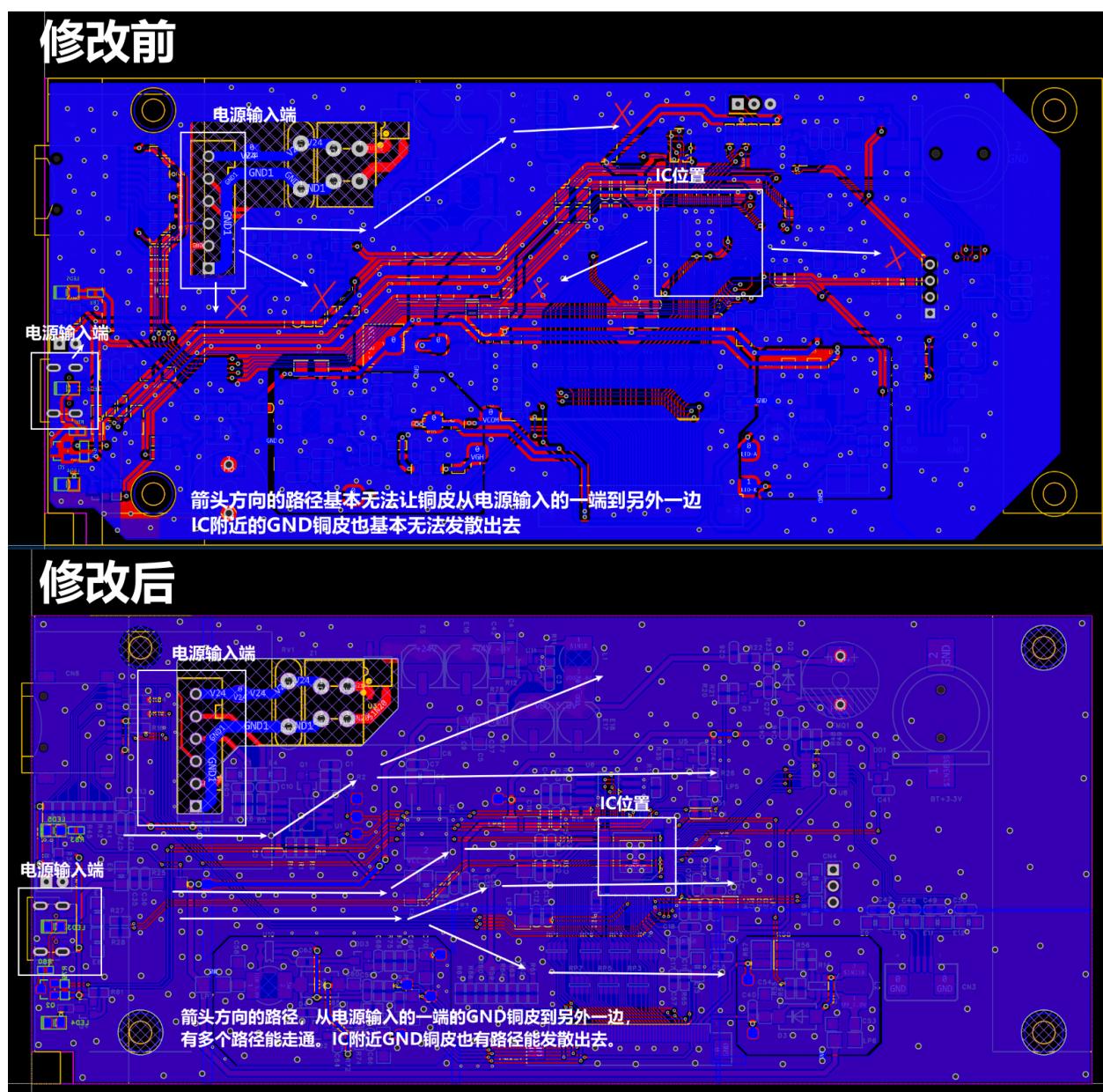
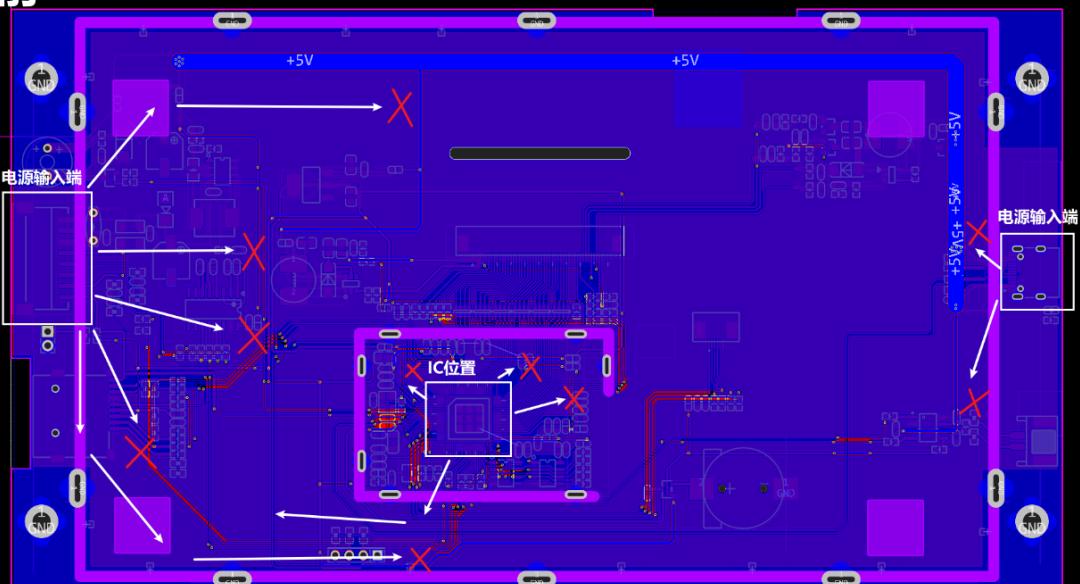


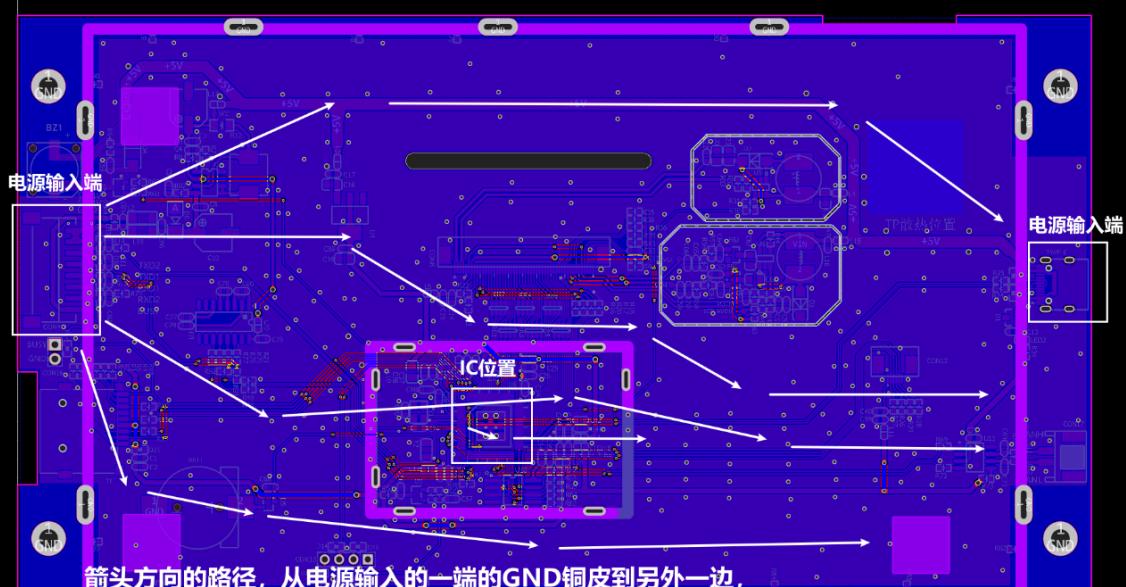
图 1-8: PCB 中的 GND 铜皮处理对比示例图 (一)

修改前



箭头方向的路径基本无法让铜皮从电源输入的一端到另外一边，
IC附近的GND铜皮也基本无法发散出去

修改后



箭头方向的路径，从电源输入的一端的GND铜皮到另外一边，
有多个路径能走通。IC附近的GND铜皮也有路径能发散出去

图 1-9: PCB 中的 GND 铜皮处理对比示例图 (二)

1.8. QFN 封装芯片底部焊盘设计

以 LT7589A 为例, 为了更好的散热设计, 在 Layout 时建议把底部焊盘的封装分割为九个 1.2x1.2 (mm) 大小的焊盘 (阻焊扩展为 0.1mm), 并且各底部焊盘之间的中心间隔设置在 1.8mm, 注意, 不得在芯片焊盘底下布上整个大焊盘。

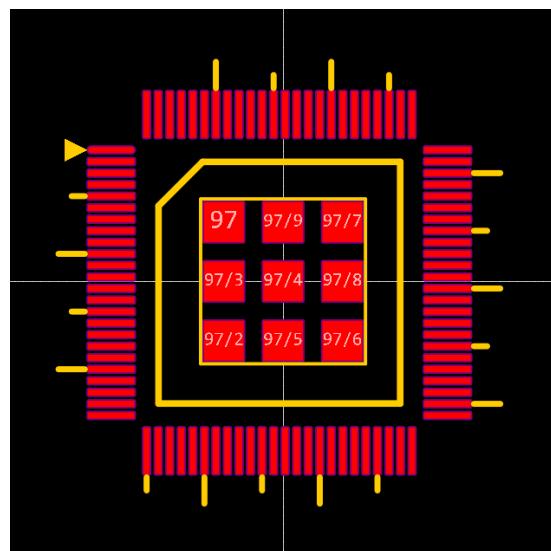


图 1-10: LT7589A (QFN96) 焊盘与脚位图

1.9. 其他布板注意事项

- 有滤波电容的信号或者电源线需要确保通过滤波电容后再输入到 IC, 如图 1-9。

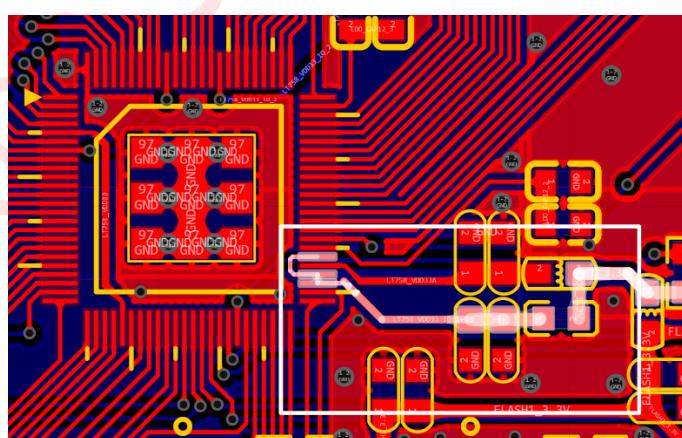


图 1-11: LT7589A 导线通过滤波电容示意图

- 电源线的过孔相比其他信号线应该适当增大，电源线的粗细尽量减少突然增大或者缩小，如需要增大或者减少，在导线粗细变化的连接处应该进行泪滴处理，如图 1-10。

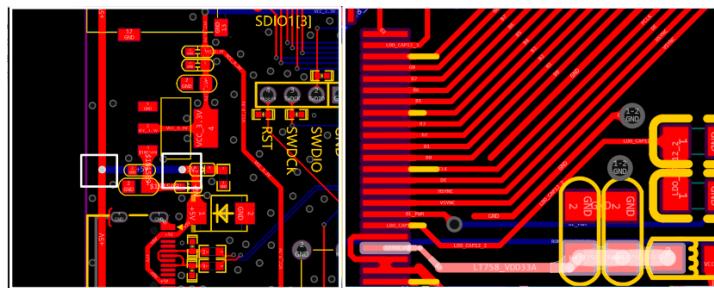


图 1-12：电源线过孔大小以及泪滴处理示意图

- 注意电源线和信号线的分布，避免电源线不必要的绕行。
- 电源及地线的间距应该要足够，避免打板或焊接出现短路现象。
- QFN 封装的底部焊盘必须充分接地。
- PCB 对应原理图走线有没有错误。
- 电源及地线的间距应该要足够，避免打板或焊接出现短路现象。
- 布线检查、标号检查、接插件检查、正反检查，及走线是否流畅检查等。
- 增加工艺测试点，比如重点信号，电源电压信号等。
- 增加程序测试点，可以用 MCU 引线做一个开关信号。
- 调试测试点，比如难测的重要信号，最好引出测试点。
- 预留螺丝孔或 PCB 的固定孔。
- 尺寸核对、尺寸检测。
- 结构核对，避免组件过高或摆放位置卡到结构。
- PCB 板名及版本是否标示清楚。
- 串口屏芯片主核心电路部份建议（或是预留）用金属罩接地罩住，可增加抗干扰能力。
- 抗干扰的扼流圈应靠近电源输入端。
- PCB 要保留与 TFT 外框金属壳以及 TFT 的 TP 排线上金属补强的接触或焊接点。

2. EMC/EMI 优化方案

2.1. EMC 优化建议

- 对电路有高频脉冲稳定性要求可在电源输入端添加压敏电阻 (R7) , 通过压敏电阻前的 GND 与通过压敏电阻后的 GND 需要隔离开。

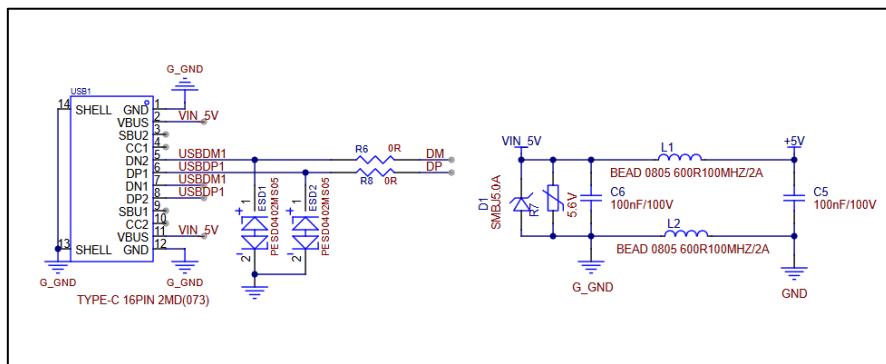


图 2-1：电源输入高频脉冲稳定性优化建议

- 在与上位机通信接口，通信信号脚添加 ESD 静电保护二极管，并靠近连接器放置。

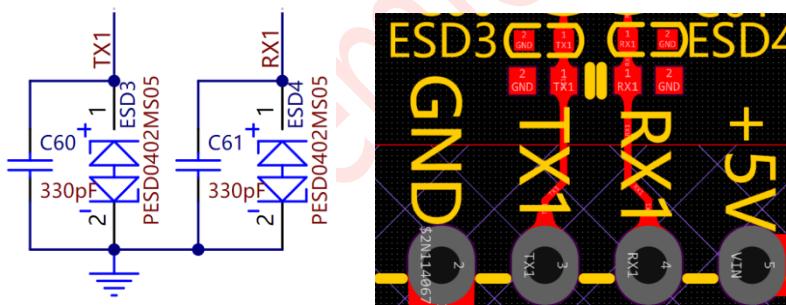


图 2-2：外部接口 EMC 优化与布板示例图

- 如果使用 SD 卡，需在 SD 卡信号脚以及电源脚添加 ESD 静电保护二极管，并靠近连接器放置。

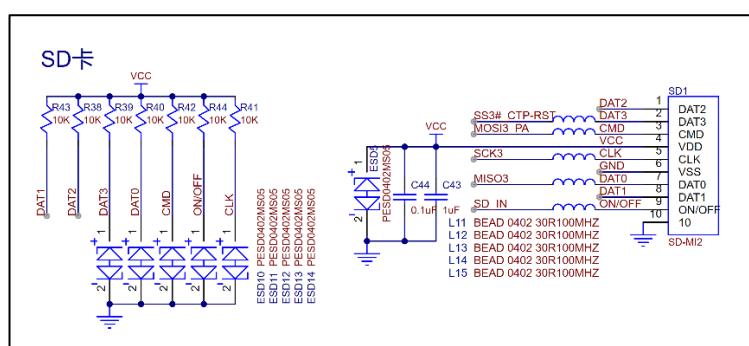


图 2-3：SD 卡 EMC 优化建议

- SWD 烧录的下载口信号添加 ESD 静电保护二极管，并靠近连接器放置。

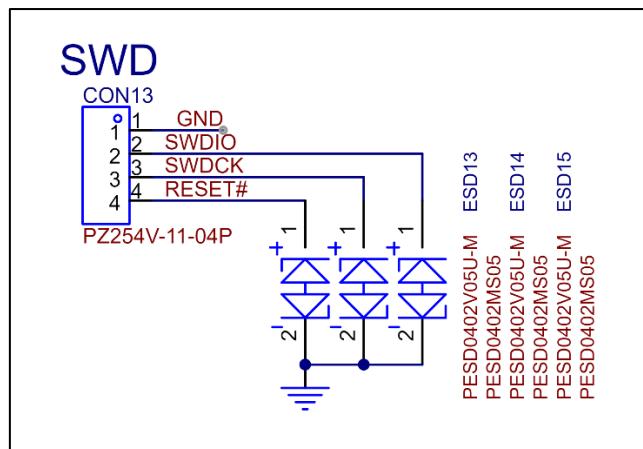


图 2-4: SWD 烧录口 EMC 优化建议

- 使用 CTP 电容触摸时，触摸信号以及电源输入端添加 ESD 静电保护二极管，并靠近连接器放置。

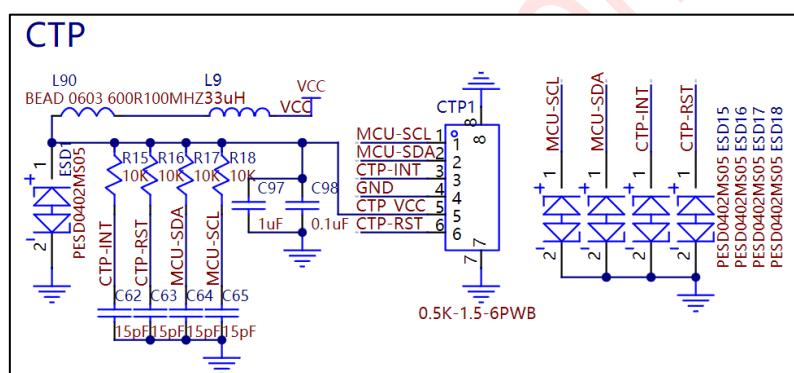


图 2-5: CTP 相关信号 EMC 优化建议

- TFT 屏电源脚添加 ESD 静电保护二极管，并靠近连接器放置。

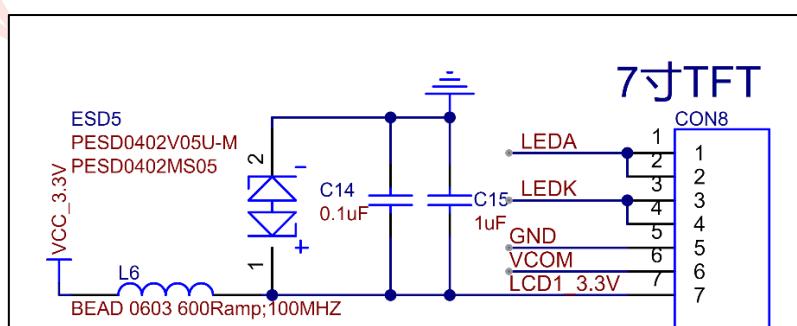


图 2-6: TFT 电源输入 EMC 优化建议

■ 对于两层板而言，保证非主要元件层的 GND 覆铜完整性有利于增强板子的 ESD 性能。

对于两层以上的多层板而言，靠近主要元件层的中间层设置完整的 GND 层有利于增强板子的 ESD 性能。

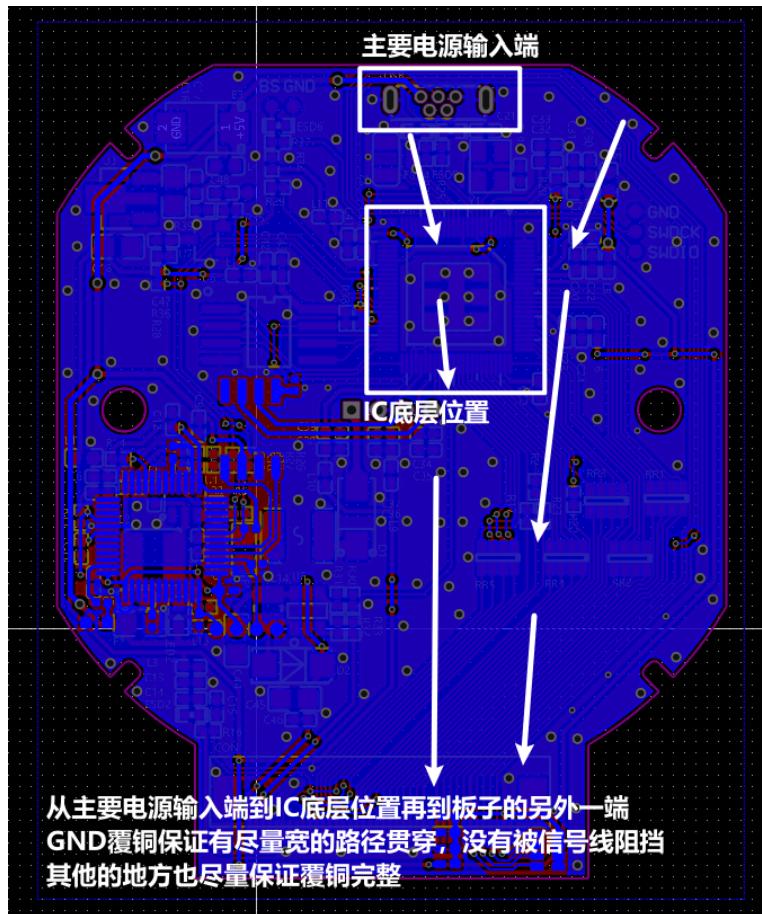


图 2-7：两层板的 GND 覆铜处理示意图

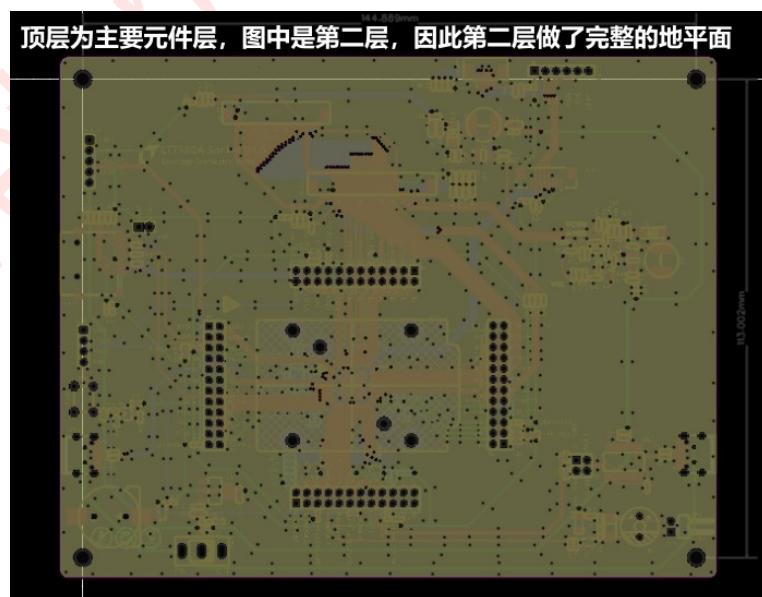


图 2-8：多层板(四层板)的 GND 覆铜处理示意图

- PCB 中不要保留悬空的焊盘，需要将悬空的焊盘接地。

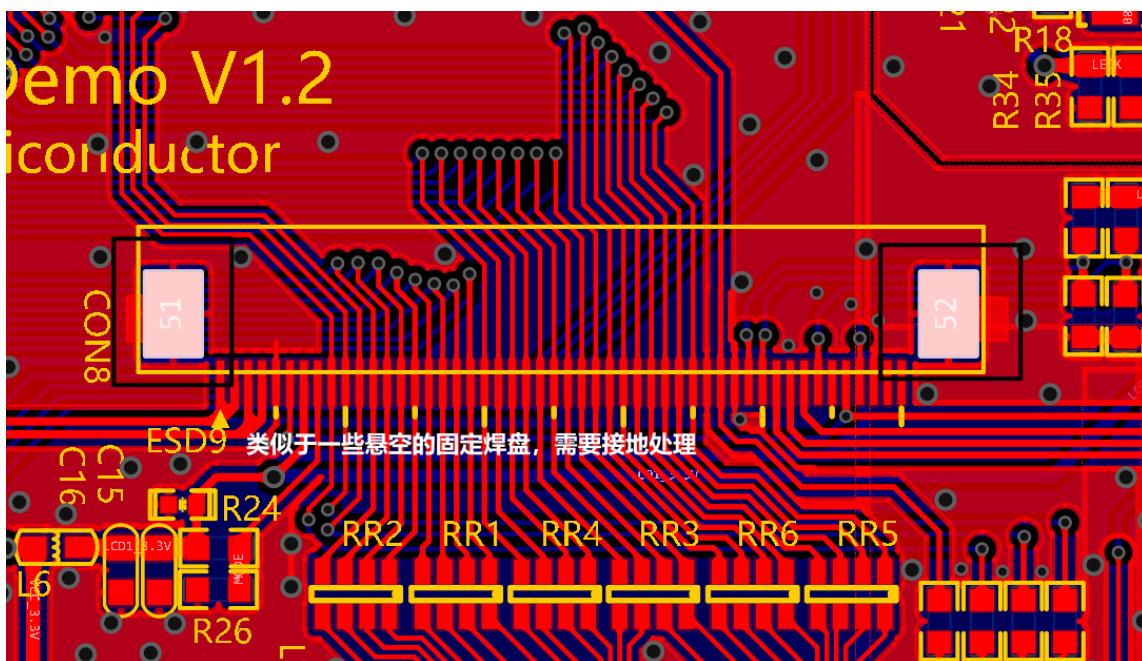


图 2-9: 悬空焊盘处理示意图

- 当屏幕的背光面板或者是成品结构上存在导电的区域，可以考虑在 PCB 上增加几个尺寸较大的 GND 焊盘。ESD 测试时，将屏幕的背光面板、屏幕排线上的金属补强或者结构上导电的区域与 PCB 上的 GND 焊盘相连接，对增强整体成品的 ESD 性能非常有利。

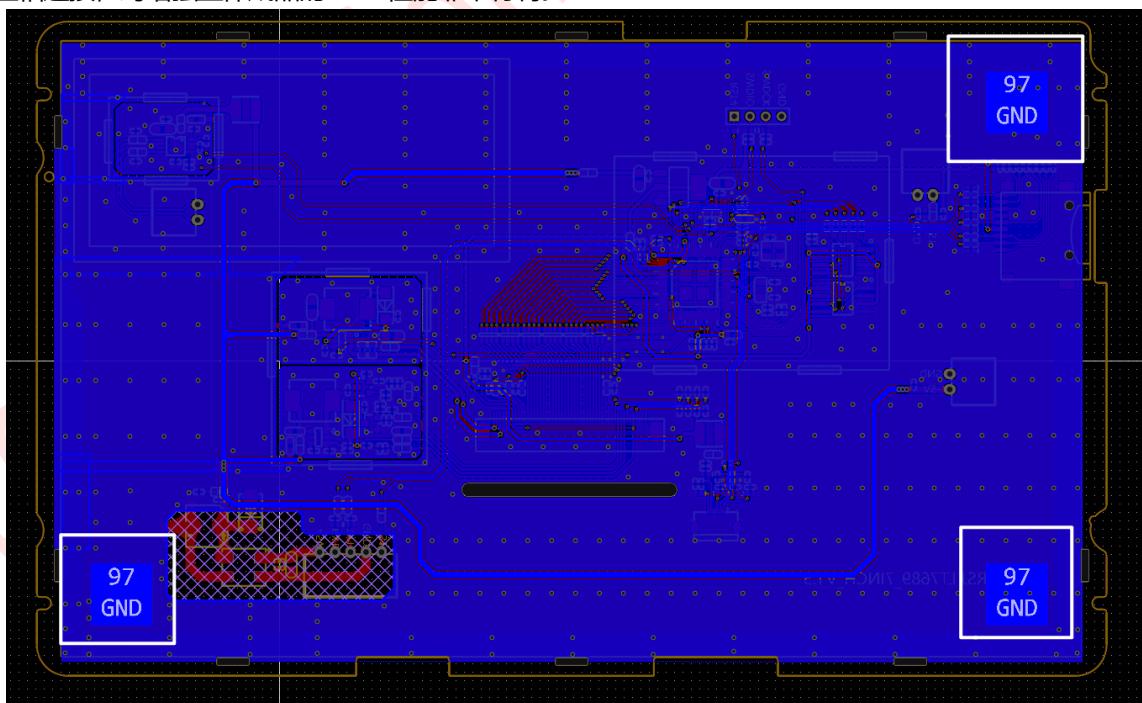


图 2-10: PCB 上的 GND 焊盘示意图

2.2. EMI 优化建议

- 屏幕数据线与控制线到 IC 引脚之间增加 50-100R 的磁珠，具体阻值可以根据实际测试情况适当的调整。

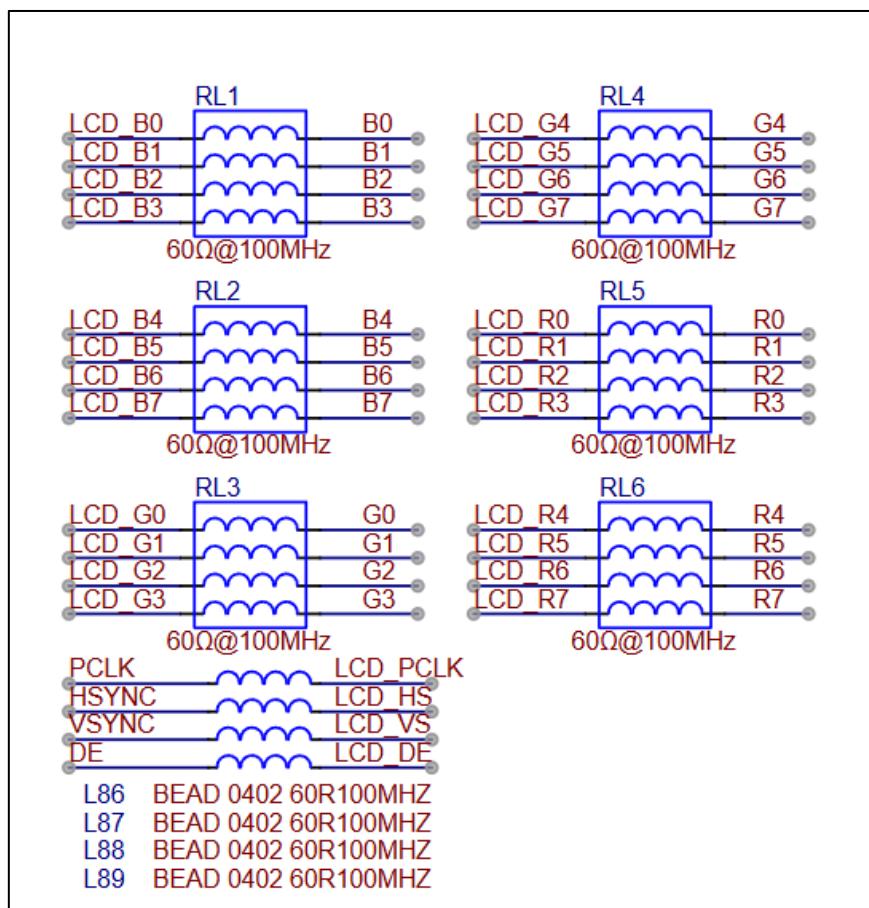


图 2-11: TFT 信号 EMI 优化建议

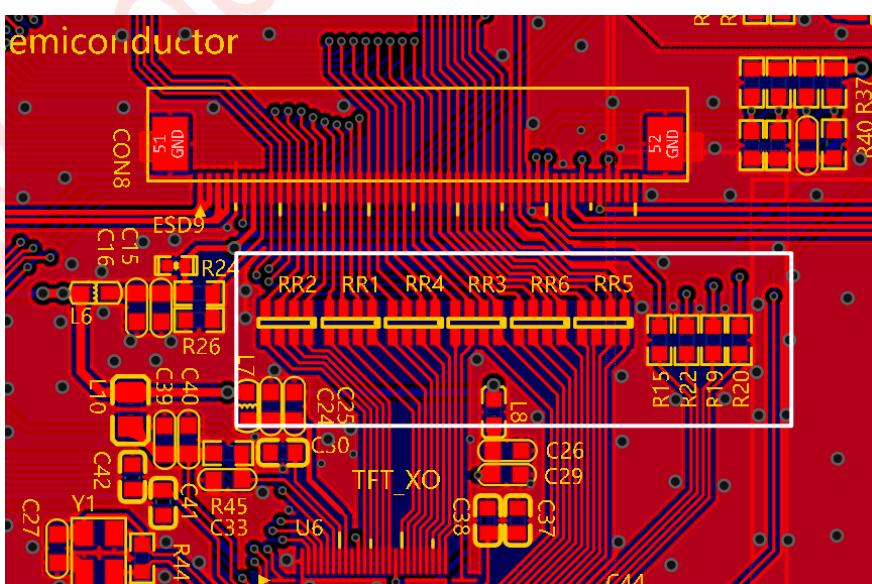


图 2-12: TFT 信号磁珠布板示意图 (一)

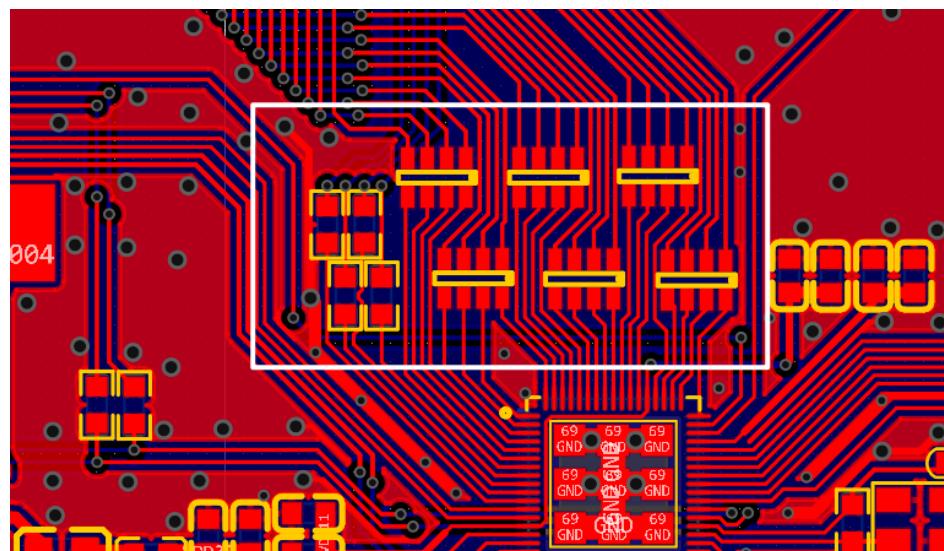


图 2-13: TFT 信号磁珠布板示意图 (二)

- 背光电路电源输入以及 LEDA 输出均需要串 600R 磁珠, D5 增加 10R 与 2.2nF 并联, 具体的值可以根据实际测试做出适当的调整, 并且 PCB 布板时需要进行铺铜隔离, 并且单点接地。

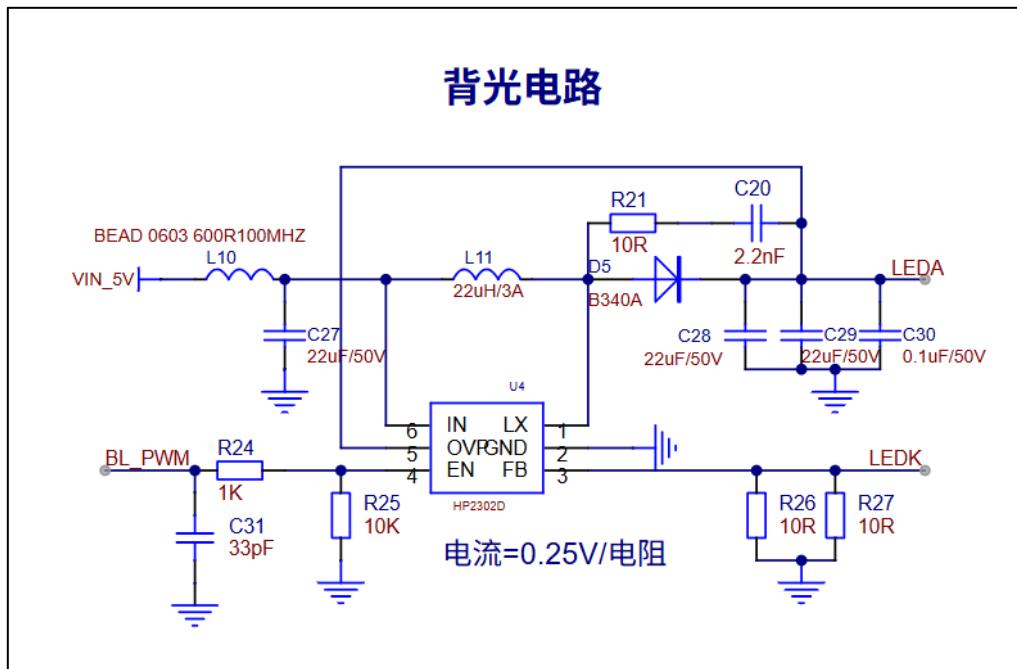


图 2-14: LCD 背光电路 EMI 优化范例

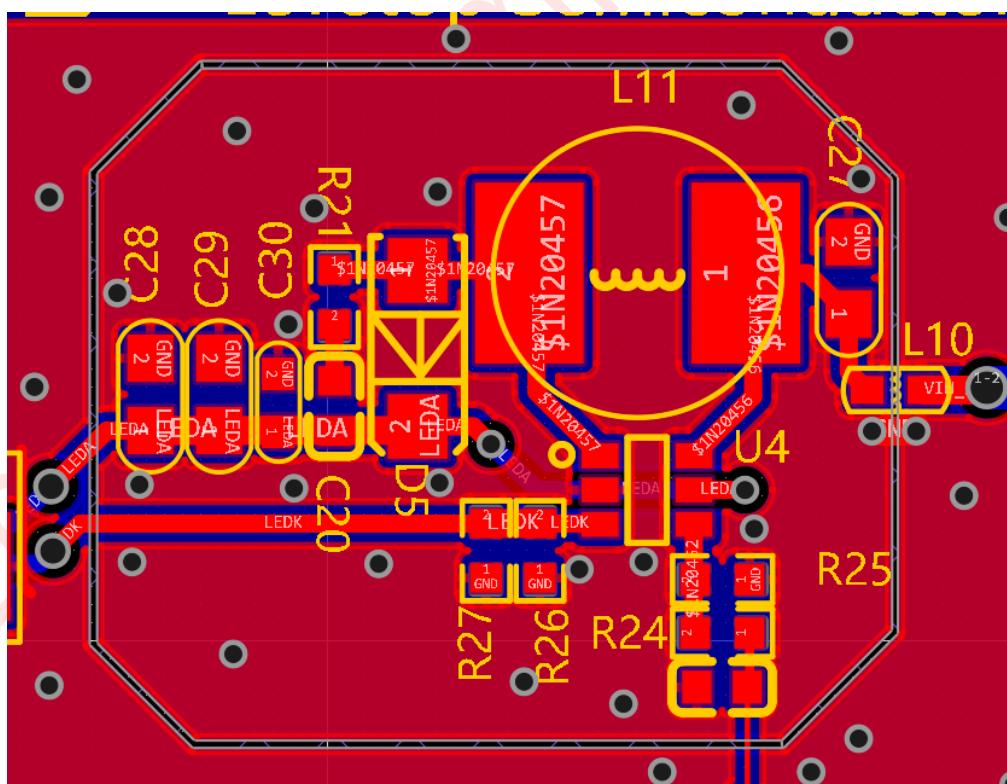


图 2-15: LCD 背光电路 EMI 布局处理示例图

- FLASH 的时钟线上，可以增加一个 5pF 的对地电容，容值可根据实际的 EMI 测试情况去适当调整。在 PCB Layout 时，FLASH 的位置应该尽量靠近 IC，FLASH 的信号线（尤其是时钟线）与其他信号线有尽量宽的地线隔离包地，包地的边缘上适当增加 GND 的过孔。

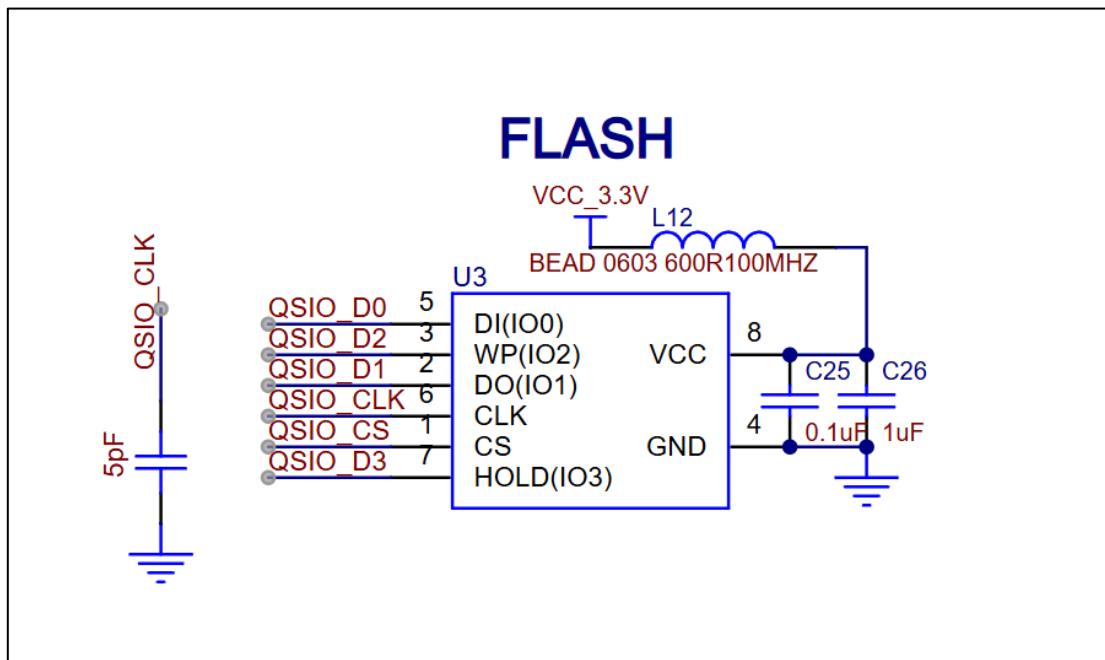


图 2-16: FLASH 时钟线的 EMI 处理示意图

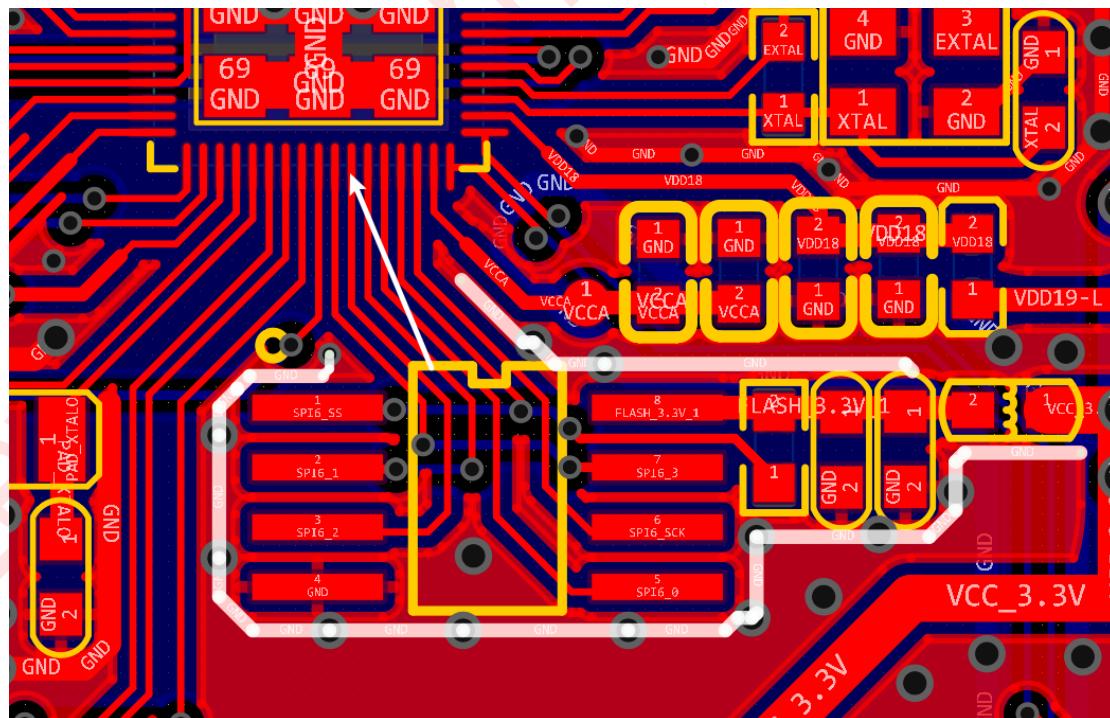


图 2-17: FLASH 的 EMI 布局处理示意图

- 晶振的布局需要尽量靠近 IC，晶振的周围以及晶振的信号线与其他信号线有尽量宽的地线隔离包地，在包地的边缘上适当增加 GND 过孔。

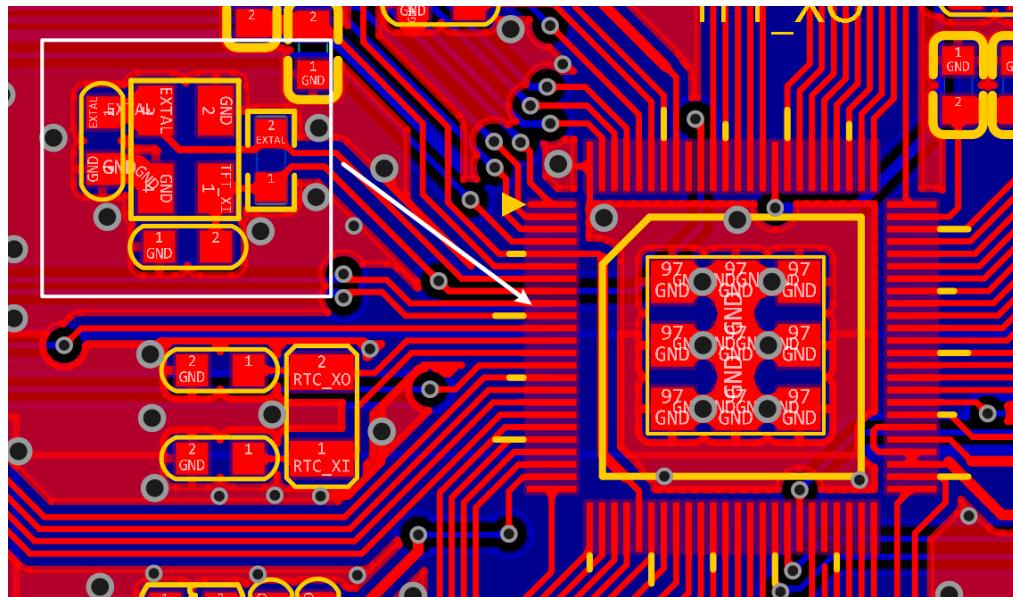


图 2-18：晶振的 EMI 布局处理示意图

- 屏幕的信号线与其他的信号线需要有尽量宽的地线隔离包地，包地的边缘上适当增加 GND 的过孔。

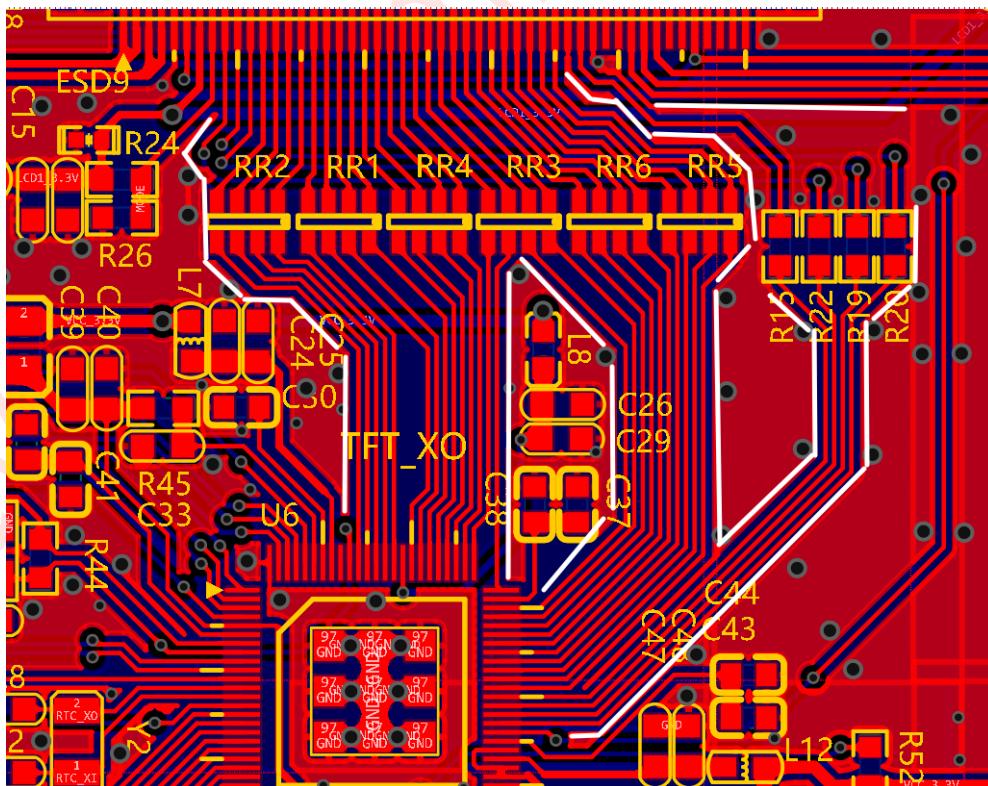


图 2-19：屏幕数据线包地处理的示意图

- USB 的信号线(DM、DP)需要与其他的信号线有尽量宽的电线隔离包地，包地的边缘增加一些 GND 过孔。USB 的信号线布线需要遵循差分走线规则。

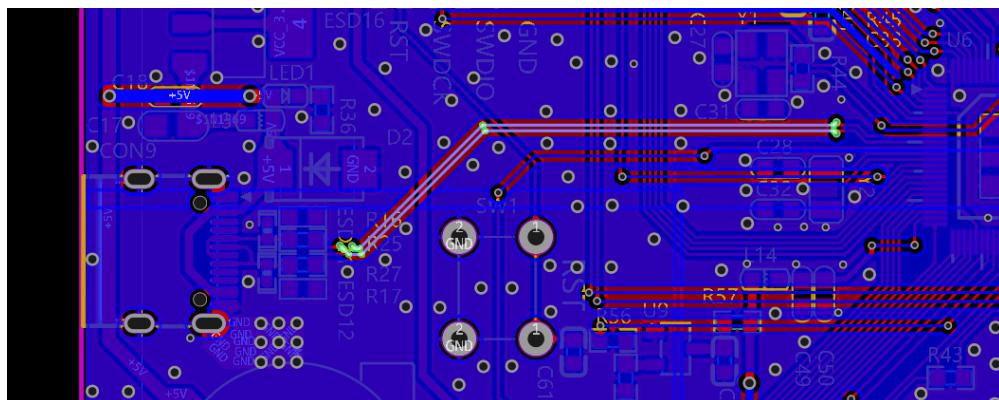


图 2-20: USB 信号线的 EMI 处理示意图

- 电源输入口 VIN 以及 GND 需分别串联磁珠，并且电源输入端附近需要添加滤波电容。电源输入口 VIN 周围与地要进行隔离。

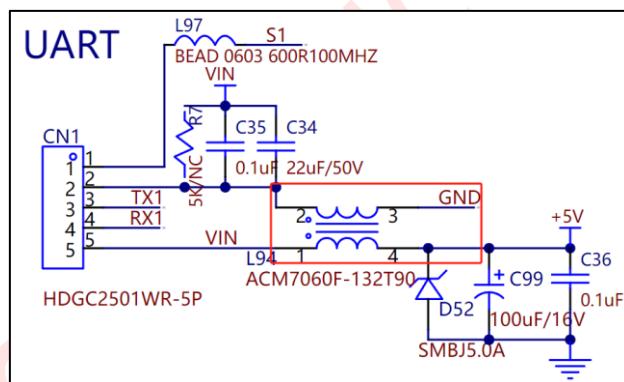


图 2-21: 电源输入 EMI 优化范例

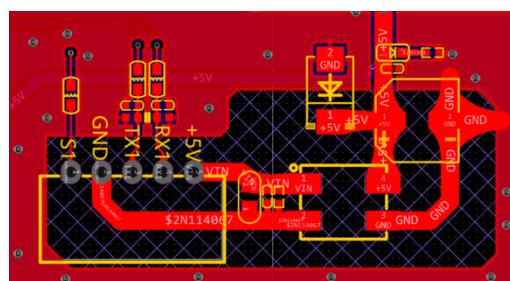


图 2-22: 电源输入优化布板示例图

- 在串口通信接口处，通信信号脚可以串上 50R 磁珠，并靠近连接器放置。

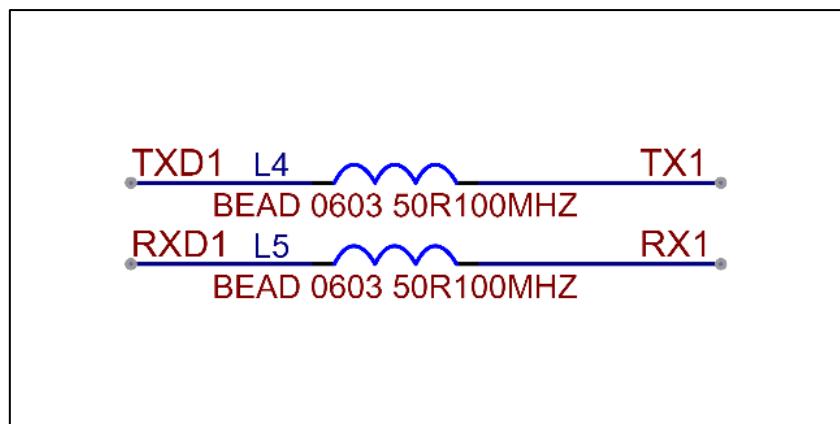


图 2-23: 串口通信 EMI 优化建议

- CTP 电容触摸接口电源输入需要串 33uH 电感以及 600R 磁珠

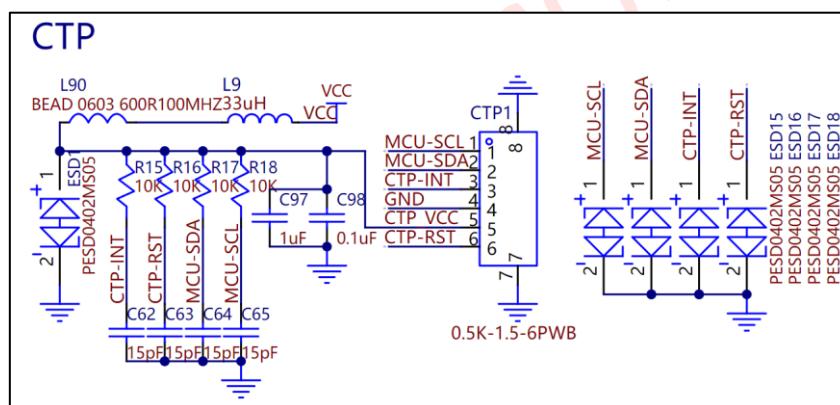


图 2-24: CTP EMI 优化建议

- MCU 主控部分电路可添加金属屏蔽罩支架。

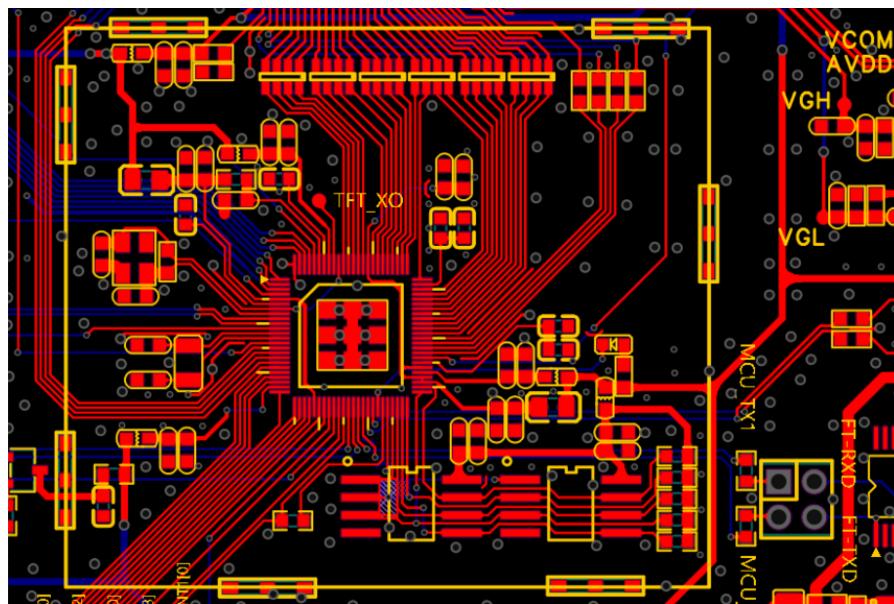


图 2-25：主控部分添加金属屏蔽罩支架示例图

- VGH/VGL 电路电源输入串 600R 磁珠, AVDD/VCOM/VGL/VGH 输出分别串联 600R 磁珠, 并且 Layout 时需要进行铺铜隔离, 并且单点接地。

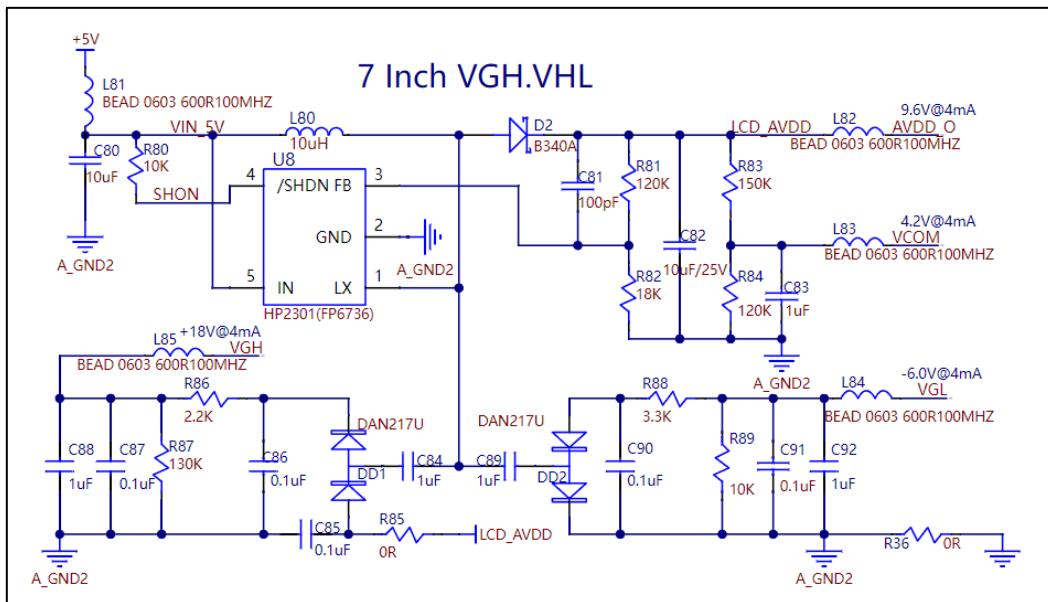


图 2-26: VGH/VGL 电路 EMI 优化参考原理图

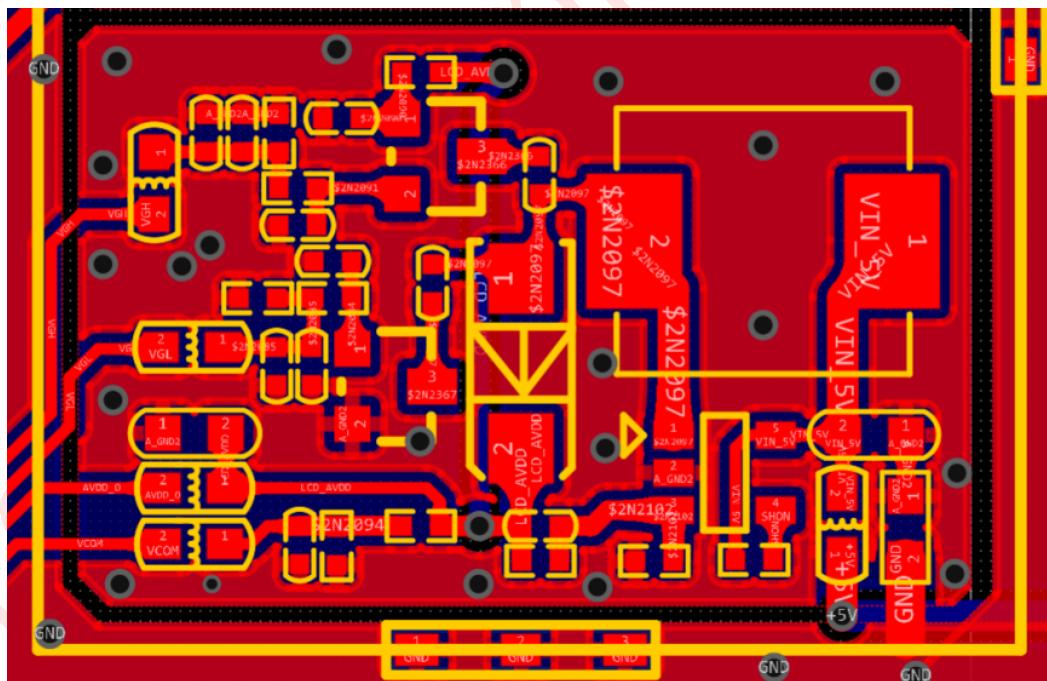


图 2-27: VGH/VGL 电路优化布板示例图

3. 原理图检查流程

3.1. LT7589A/B 时钟与电源电路

LT7589A/B 包含三组组时钟信号电路，分别为以下信号：

图 3-1：时钟信号

脚号 LT7589A	脚号 LT7589B	引脚名称	I/O	功 能 说 明
87	120	LCD_XI	I	晶振 (Crystal) / 时钟信号输入 此引脚连接至外部晶振，为内部 TFT LCD 控制器的晶振电路输入信号，当使用有源晶振或是外部时钟信号可以由此脚输入，通常由 Pin-12 的 XTAL 晶振时钟信号接到此脚，晶振频率 (OSC) 建议为 12MHz。
88	121	LCD_XO	O	晶振 (Crystal) 输出 此引脚连接至外部晶振，为内部 TFT 控制器的晶振电路输出信号。
13	18	OSC32K_XI	I	32.768Khz 晶振输入 RTC 时钟信号，此引脚连接至外部 32.768Khz 晶振。
12	17	OSC32K_XO	O	32.768Khz 晶振输出 RTC 时钟信号，此引脚连接至外部 32.768Khz 晶振。
8	12	XTAL	I	USB 时钟信号，此引脚连接至外部 12Mhz 晶振。
7	10	EXTAL	O	USB 时钟信号，此引脚连接至外部 12Mhz 晶振。

EXTAL 与 XTAL 建议使用四脚 3225 封装 12MHz 晶振，且晶振两端需要 12pF 的对地电容，1M 电阻可以预留不贴；LCD_XI 脚建议接到 XTAL 时钟脚，晶振频率建议为 12Mhz，LCD_XO 脚建议预留测试点；软件部分有用到计时功能，OSC32K_XI 与 OSC32K_XO 需要加上 32.768K 晶振。

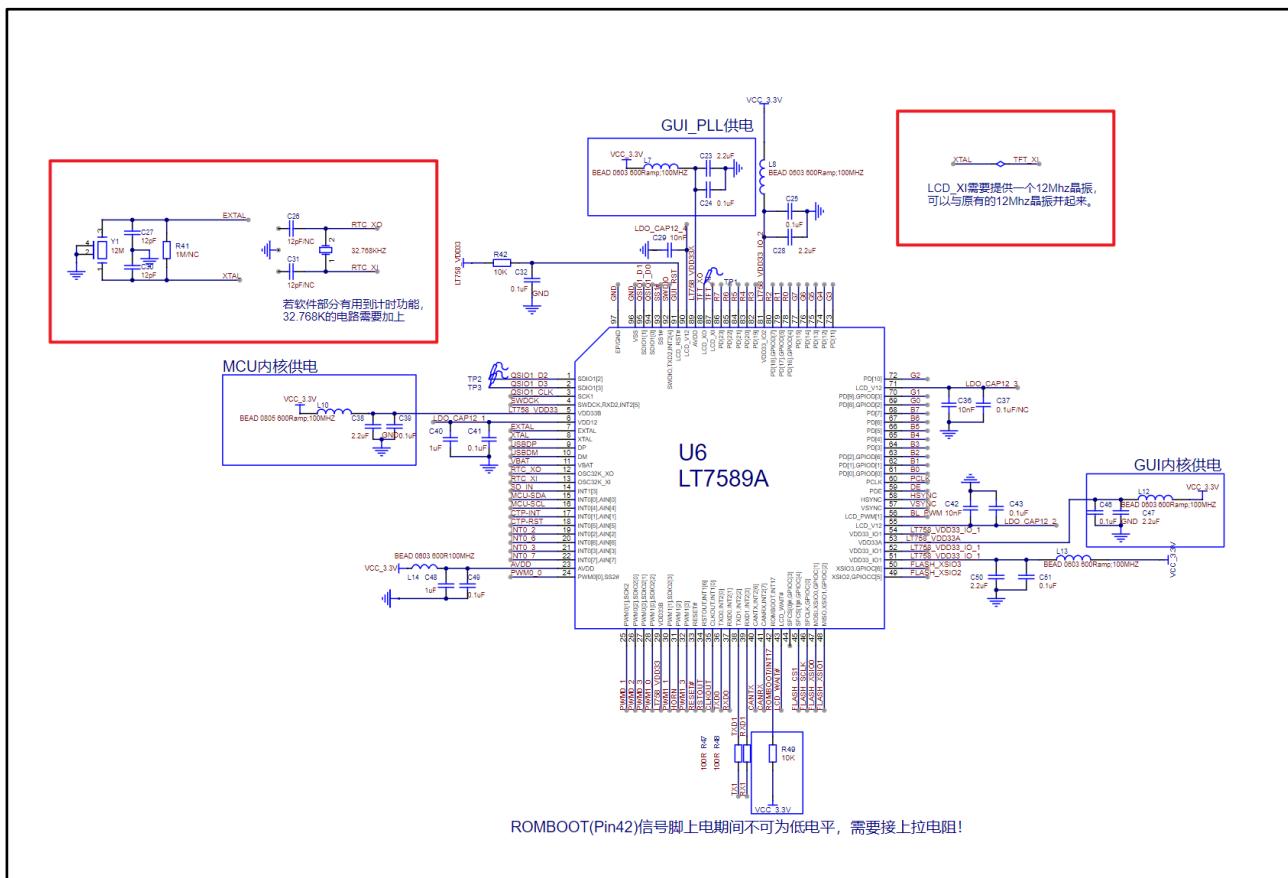


图 3-2: LT7589A/B 晶振电路图

LT7589A/B 的 VDD33_IO1、VDD33_IO2、VDD33B、AVDD、VDD33X、VDD33A 需要用磁珠隔离。以 LT7589A 为例, VDD33_IO1 与 VDD33_IO2 需要分别用一组磁珠以及 2.2uF 和 0.1uF 的滤波电容, VDD33B、VDD33A、VDD33X 则需要一组 2.2uF 和 0.1uF 的滤波电容, AVDD 则需要一组 1uF 和 0.1uF 电容(如图 3-5)。LT7589A/B 的 VDD12 与 LCD_V12 不能相连, 且 LCD_V12 不能连接到一起。LT7589A 的 Pin55(LT7589B 的 Pin64)需要一组 0.1uF 和 10nF 的滤波电容, LT7589A/B 的 VDD12 需要一组 1uF 与 0.1uF 电容, 其余的 LCD_V12 脚需要 10nF 的滤波电容即可(如图 3-6)。

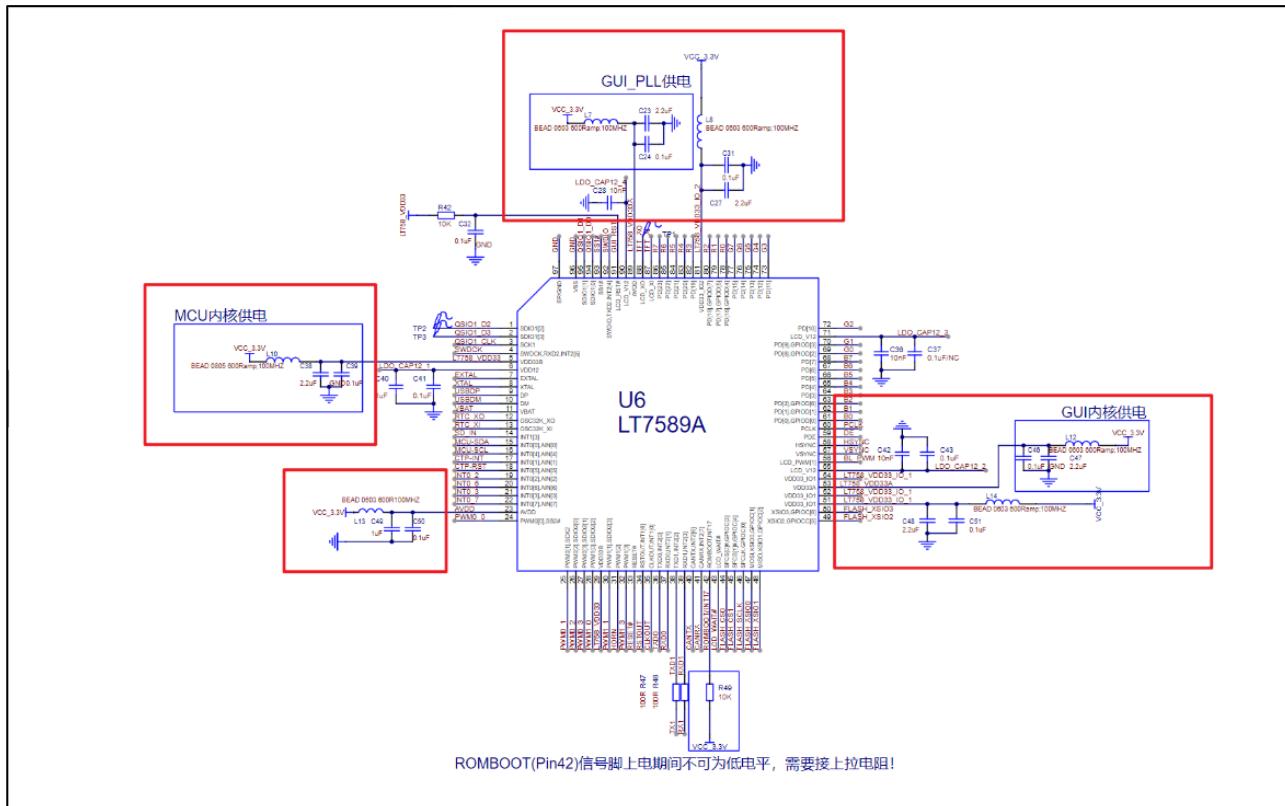


图 3-3: LT7589A 电源电路(一)

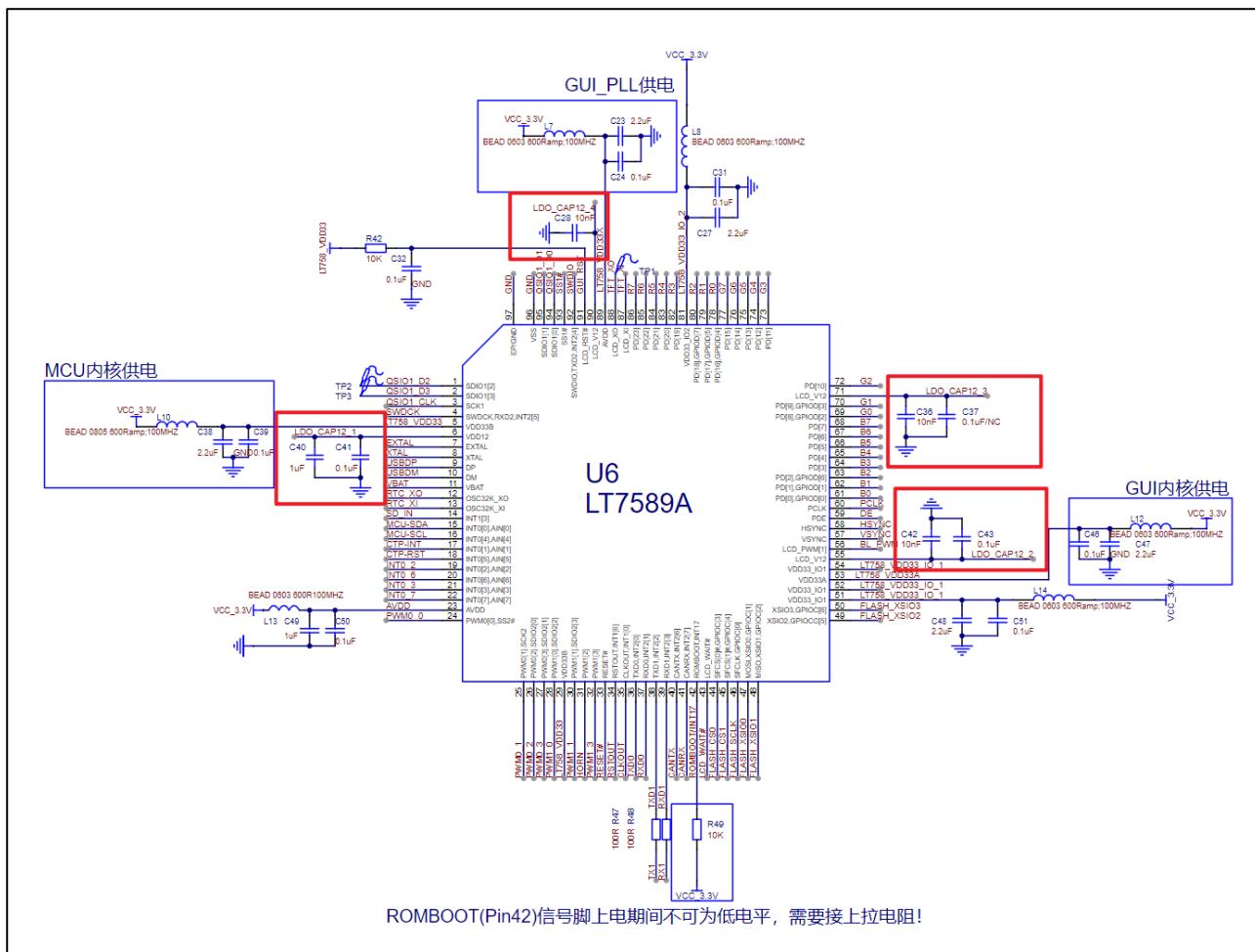


图 3-4: LT7589A 电源电路(二)

3.2. 原理图检查项目

- 原理图走线检查是否对应有错误。
- RGB 接口: PCLK、PDE、HSYNC、VHYNIC 是否对应屏的接口,串电阻或留测试点, 数据线要高位对齐, 需要 SPI 初始化的屏, SPI 预留测试口。
- 若使用华邦的 Nand Flash, FLASH_XSIO3 脚则需要增加 10K 上拉电阻。
- 若使用 VCOM 更新程序, BUSY 脚需要上拉并引出。
- ROMBOOT 信号脚上电期间不可为低电平, 需要接上拉电阻。
- LT7589A/B 的 LCD_RST 脚 (LT7589A 的 Pin91, LT7589B 的 Pin126) 需要接 10K 上拉电阻和 0.1uF 对地电容, 并且不能接到 LCD 的复位脚。
- LT7589A/B 的 LCD_WAIT#脚需要串 100R 电阻接到 IC 的 INT 脚, 建议接到 CLKOUT/INT1[6]脚。

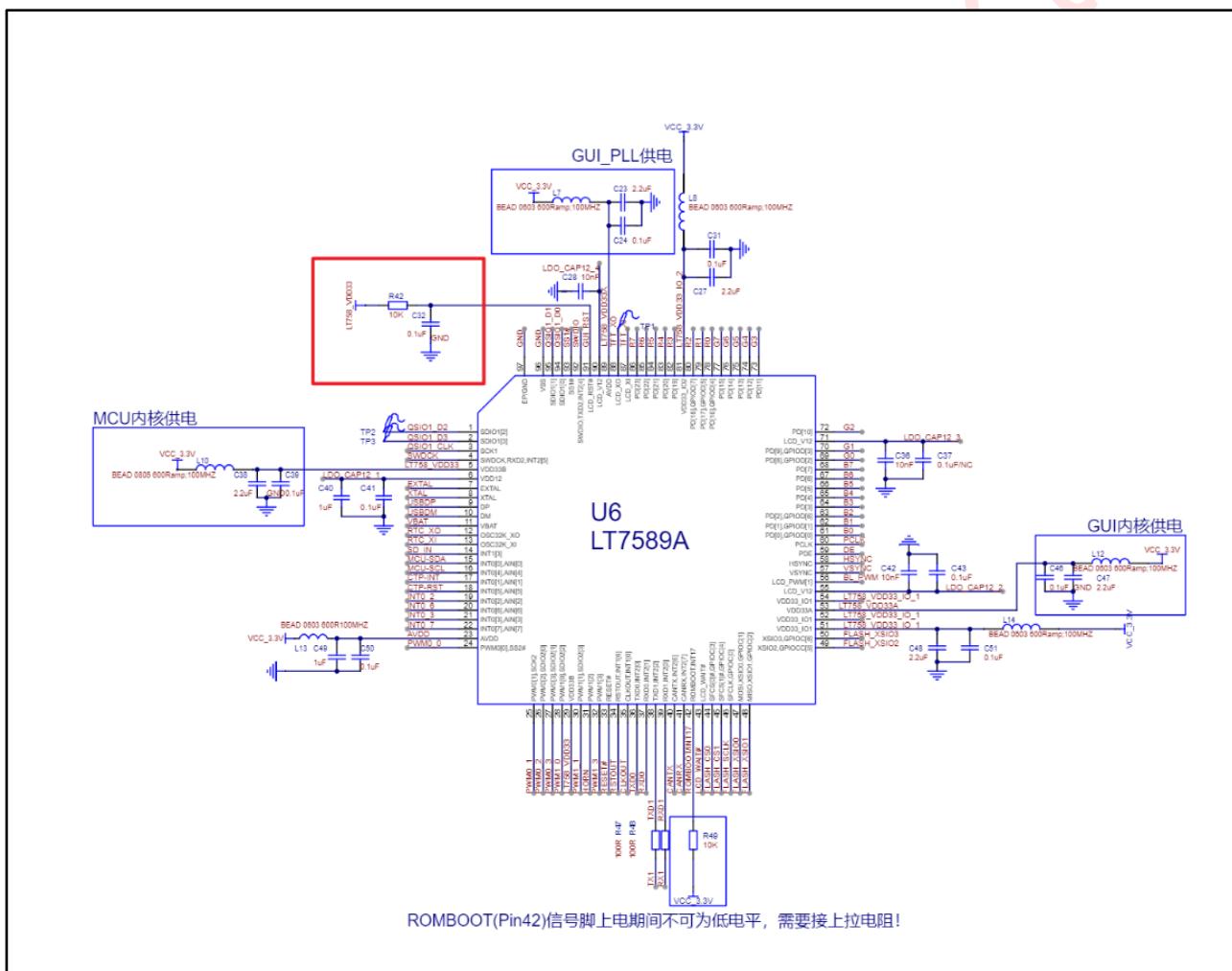


图 3-5: LT7589A/B 的 LCD_RST 脚处理

- IC 电源供电是否正确。所有电源线的过孔数量、与尺寸与线宽是否足够。
- PCB 上晶振与背光电路的下面是否避开信号线。
- 确认原理图组件参数值电压值选用合理及满足电路要求。

■ 相关 EMC/EFT 干扰与抗干扰对策:

1. 电源滤波电路及组件（滤波电容）质量要好。
 2. 产生 3.3V 的 DC to DC 电源输入端、输出端除了原有的滤波电容外，再加上扼流圈（磁珠）
 3. 产生 TFT 屏背光的 DC to DC 电源输入端除了原有的滤波电容外，再加上扼流圈（磁珠）

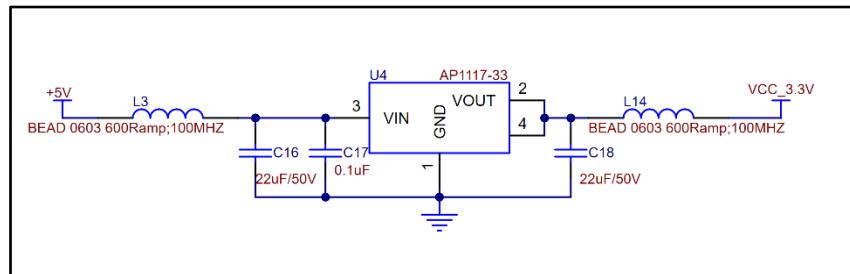


圖 3-6: 3.3V 的 DC to DC 电源电路范例

4. 必要时 TFT 屏的 FPC 可做包覆处理 (如图 3-9) 。
 5. RGB 输出信号加串接电阻。
 6. 高干扰环境需增加 ESD 保护组件。
 7. 高干扰环境 LT7589A/B 核心电路部分可以加上金属罩接地。

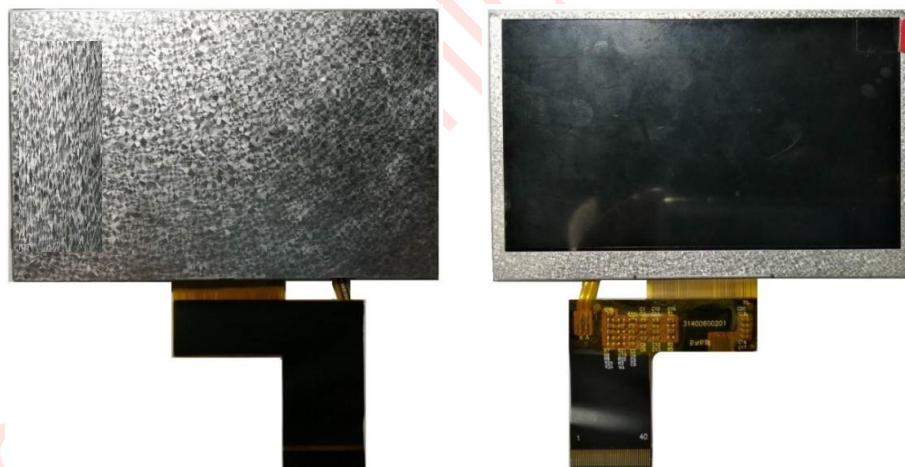


图 3-7: TFT 屏的 FPC 做包覆处理

8. EFT (Electrical Fast Transient) 电快速瞬变脉冲群的电源处理：正负两端都要用电感隔离，电源输入端需要增加 5.6V 的压敏电阻。

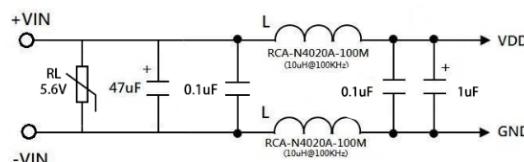


图 3-8: 降低 EFT 干扰的参考电路