

LEVETOP

LT779C PCB 布板 与 EMI/EMC 建议

V1.0

版本记录

版本	日期	说明
V1.0	2026/4/7	整合初版

版权说明

本文件之版权属于 乐升半导体 所有，若需要复制或复印请事先得到 乐升半导体 的许可。本文件记载之信息虽然都有经过校对，但是 乐升半导体 对文件使用说明书的规格不承担任何责任，文件内提到的应用程序仅用于参考，乐升半导体 不保证此类应用程序不需要进一步修改。乐升半导体 保留在不事先通知的情况下更改其产品规格或文件的权利。有关最新产品信息，请访问我们的网站 [Http://www.levetop.cn](http://www.levetop.cn) 。

目 录

版本记录	2
版权说明	2
目 录	3
图 附 录	4
1. PCB 布板注意事项	6
1.1. PCB 的层数设计	6
1.2. LT779C 滤波电容的布局	7
1.3. 电源输入布线设计	8
1.4. 电源线过孔设计	8
1.5. SD 卡信号布线设计	9
1.6. USB 的布局与走线	9
1.7. Flash 的布局与走线	10
1.8. 晶振的布局与走线	10
1.9. USB 外壳 GND 的布局设计	11
1.10. QFN 封装芯片底部焊盘设计	12
1.11. 其他布板注意事项	13
2. EMC/EMI 优化方案	15
2.1. EMC 优化建议	15
2.2. EMI 优化建议	19
3. 原理图检查流程	25
3.1. LT779C 时钟与电源电路	25
3.2. 原理图检查项目	27

图 附录

图 1-1: 两层板 PCB 完整地平面范例.....	6
图 1-2: LT779C 的滤波电容布局.....	7
图 1-3: 电源信号线走线范例.....	8
图 1-4: 电源信号线过孔打孔范例.....	8
图 1-5: SD 卡信号布线示例图.....	9
图 1-6: USB 的差分走线以及包地示意图.....	9
图 1-7: 外部 Flash 芯片位置布板范例.....	10
图 1-8: 晶振位置布板范例.....	10
图 1-9: USB 外壳 GND 布局设计示意图.....	11
图 1-10: LT779C (QFN68) 焊盘与脚位图.....	12
图 1-11: LT779C 导线通过滤波电容示意图.....	13
图 1-12: 电源线过孔大小以及泪滴处理示意图.....	14
图 2-1: 电源输入高频脉冲稳定性优化建议.....	15
图 2-2: 外部接口 EMC 优化与布板示例图.....	15
图 2-3: SD 卡 EMC 优化建议.....	15
图 2-4: SWD 烧录口 EMC 优化建议.....	16
图 2-5: CTP 相关信号 EMC 优化建议.....	16
图 2-6: TFT 电源输入 EMC 优化建议.....	16
图 2-7: 两层板的 GND 覆铜处理示意图.....	17
图 2-8: 多层板(四层板)的 GND 覆铜处理示意图.....	17
图 2-9: 悬空焊盘处理示意图.....	18
图 2-10: PCB 上的 GND 焊盘示意图.....	18
图 2-11: TFT 信号 EMI 优化建议.....	19
图 2-12: TFT 信号磁珠布板示意图 (一).....	19
图 2-13: TFT 信号磁珠布板示意图 (二).....	20
图 2-14: FLASH 时钟线的 EMI 处理示意图.....	20
图 2-15: FLASH 的 EMI 布局处理示意图.....	21
图 2-16: 晶振的 EMI 布局处理示意图.....	21
图 2-17: 屏幕数据线包地处理的示意图.....	22
图 2-18: USB 信号线的 EMI 处理示意图.....	22
图 2-19: 电源输入 EMI 优化范例.....	23
图 2-20: 电源输入优化布板示例图.....	23
图 2-21: 串口通信 EMI 优化建议.....	23
图 2-22: CTP EMI 优化建议.....	24
图 2-23: 主控部分添加金属屏蔽罩支架示例图.....	24
图 3-1: 时钟信号.....	25
图 3-2: LT779C 晶振电路图.....	25
图 3-3: LT779C 电源电路.....	26

图 3-4: U 盘烧录时的供电接口示意图 27

图 3-5: 3.3V 的 DC to DC 电源电路范例 28

图 3-6: TFT 屏的 FPC 做包覆处理 28

图 3-7: 降低 EFT 干扰的参考电路 28

Levetop Semiconductor

1. PCB 布板注意事项

1.1. PCB 的层数设计

芯片工作频率较高，对 USB 和 SDIO 传输速率和信号质量要求比较高时，务必使用 4 层板，并且保证 PCB 的信号有完整的地参考平面。若为了节约成本使用两层板时，PCB 的非主要元件层要铺地，且保证地平面要尽量完整。LT779 的 E-PAD 是整个芯片唯一的 GND 管脚，必须要在 E-PAD 中打至少 6 个过孔连接到地平面，且 E-PAD 下方的地平面必须完整不能有分割，E-PAD 到总电源输入端 GND 回路尽量短，铜皮尽量不要有分割且最窄处宽度应大于 300mil。

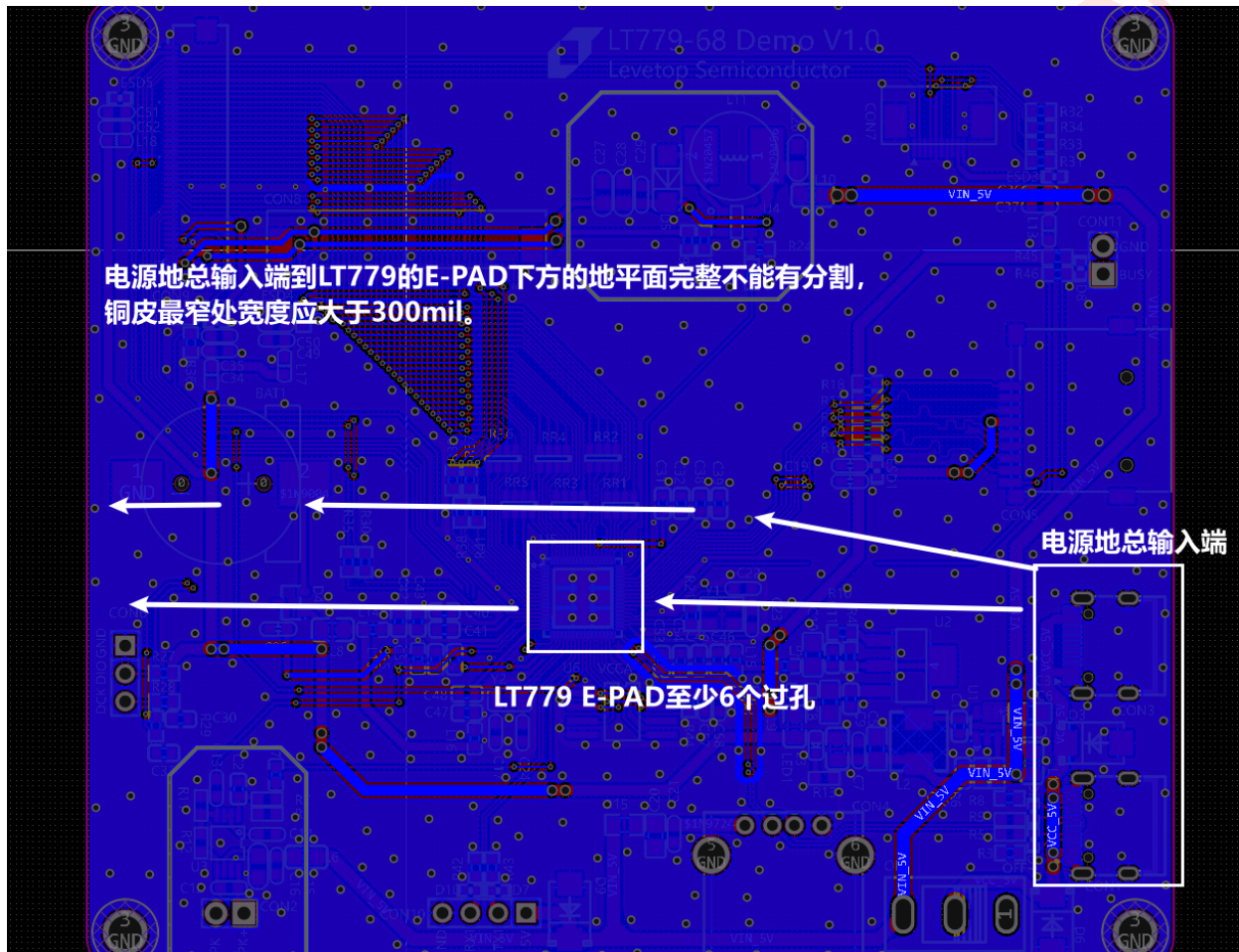


图 1-1: 两层板 PCB 完整地平面范例

1.2. LT779C 滤波电容的布局

LT779C 的 VDD33、AVDD33、VDD33_USB、VDD18_RAM、VDD18_SDIO、VDD11 与 VBAT 管脚需要加 4.7uF 和 0.1uF 的电容，且电容需要尽量靠近芯片对应的引脚，电容引脚焊盘与芯片对应引脚的间距要小于 2.54mm，可以选用 0402 封装的电容。

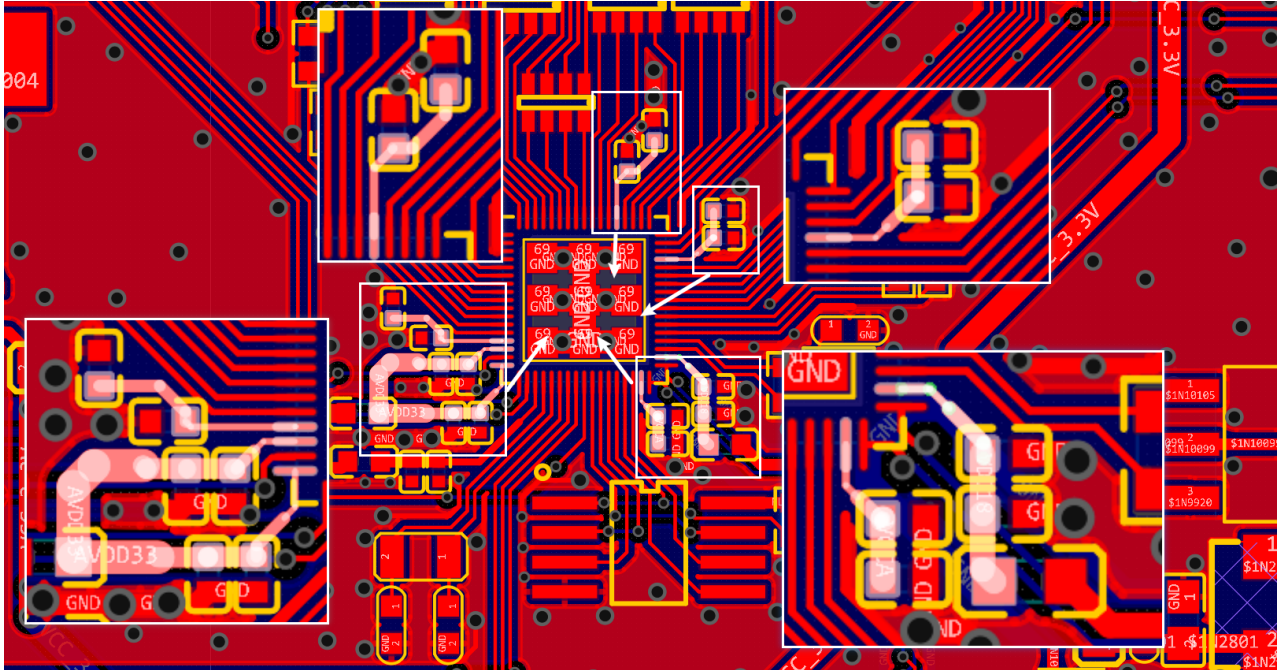


图 1-2: LT779C 的滤波电容布局

1.3. 电源输入布线设计

电源线线宽要不小于 0.5mm。由于芯片管脚宽度和管脚间距都比较小，电源线扇出时线宽可以和芯片管脚宽度一样，电源线走到空间较大的区域时再增加线宽。

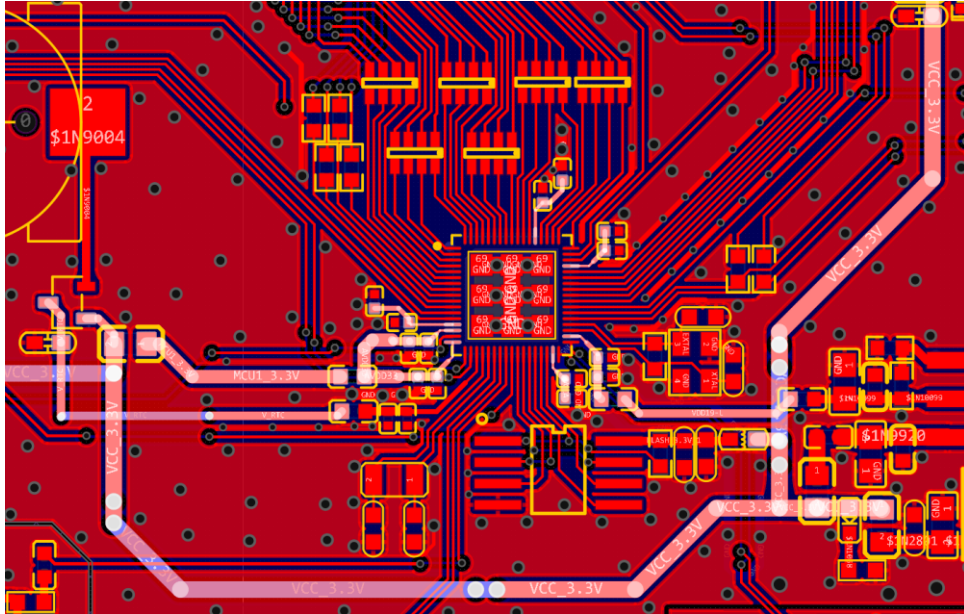


图 1-3：电源信号线走线范例

1.4. 电源线过孔设计

电源线的过孔尺寸建议外径 0.8mm (31mil) 内径 0.5mm (20mil) 以上，并视情况增加到 2-3 个过孔来连接，电源线的宽度要比一般信号线宽 3~5 倍以上，条件充足的情况下，应该尽量对大电流的线进行扩面加粗及增加 PCB 过孔数。

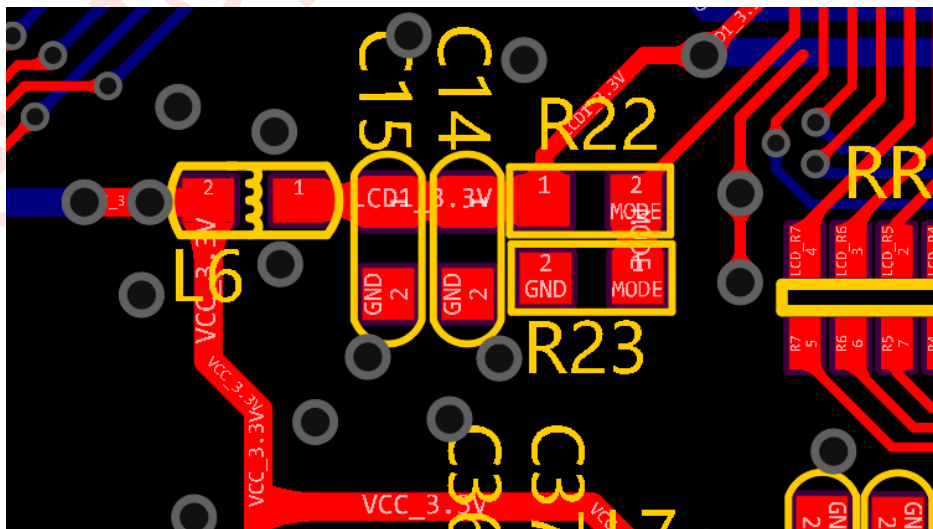


图 1-4：电源信号线过孔打孔范例

1.5. SD 卡信号布线设计

SD 卡的 SDIO_D0、SDIO_D1、SDIO_D2、SDIO_D3、SD_CMD 以及 SDIO_CLK 需要做等长处理，误差控制在 50mil，且与其他的信号线需要有尽量宽的地线去隔离。

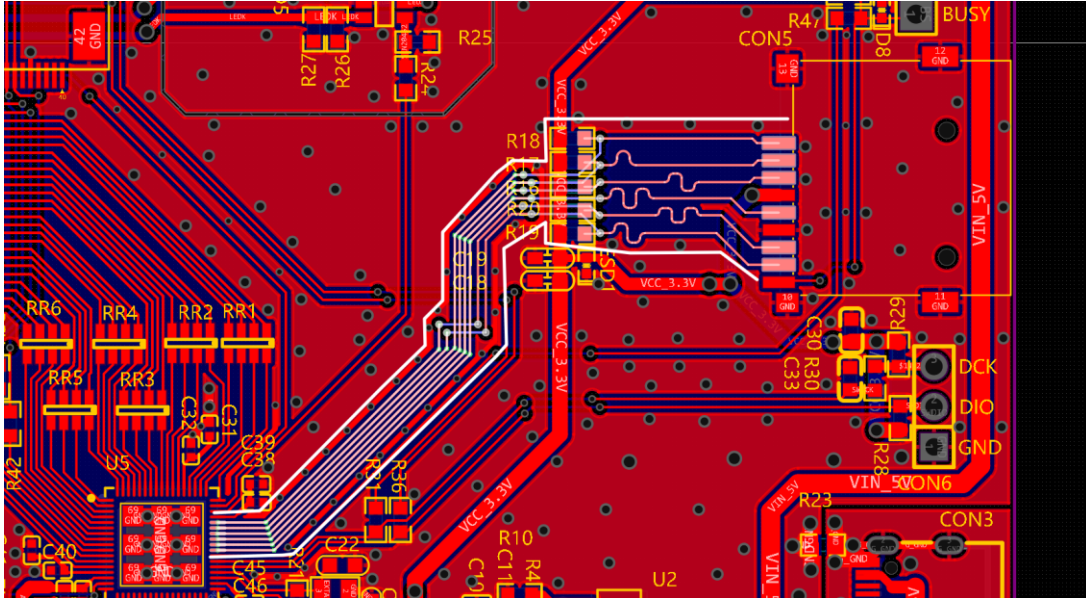


图 1-5: SD 卡信号布线示例图

1.6. USB 的布局与走线

USB 接口应该尽量靠近芯片的 DM、DP 脚，DM、DP 网络走线要遵循差分走线，差分对长度误差控制在 $\pm 0.254\text{mm}$ 。DM、DP 网络走线要包地，要跟其他信号线有尽量宽的地线隔离，在包地的边缘上可以适当增加 GND 的过孔。

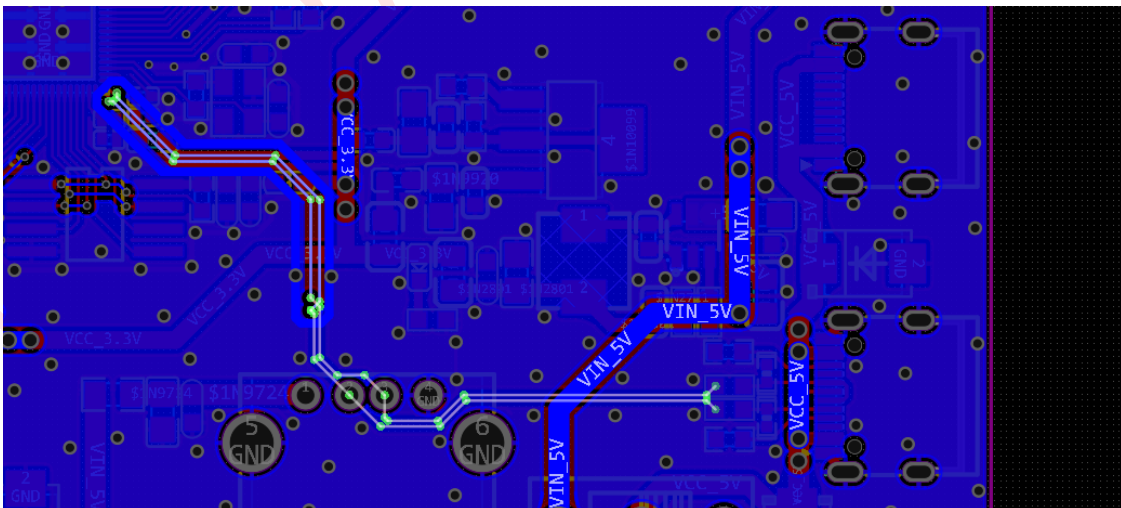


图 1-6: USB 的差分走线以及包地示意图

1.7. Flash 的布局与走线

SPI Flash 都是高速运行，甚至到 100MHz，因此在进行 Layout 布板时，Flash 位置应尽量靠近主芯片，Flash 的控制线应尽量短，Flash 中的时钟线需要避免过孔，并且要对 Flash 进行包地处理。

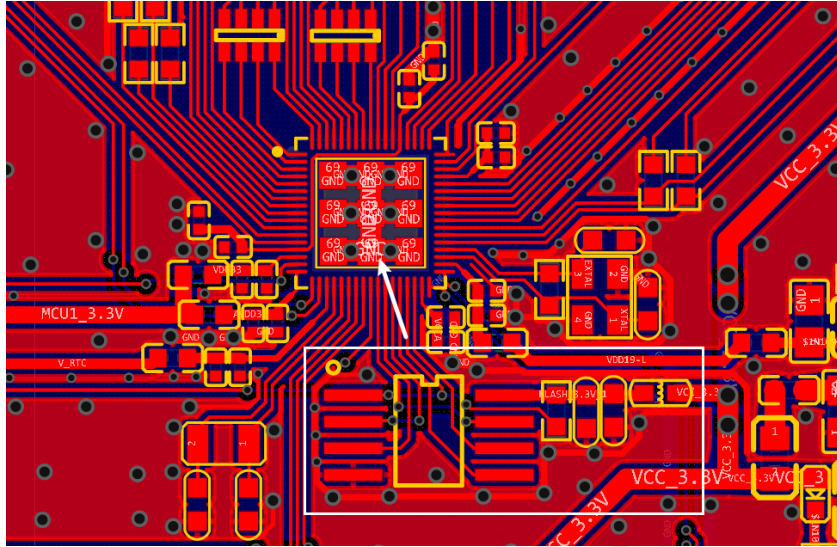


图 1-7：外部 Flash 芯片位置布板范例

1.8. 晶振的布局与走线

晶振电路应靠近串口屏主芯片，晶振下面及 PCB 背部不能走线，建议电路周围用地线包地。

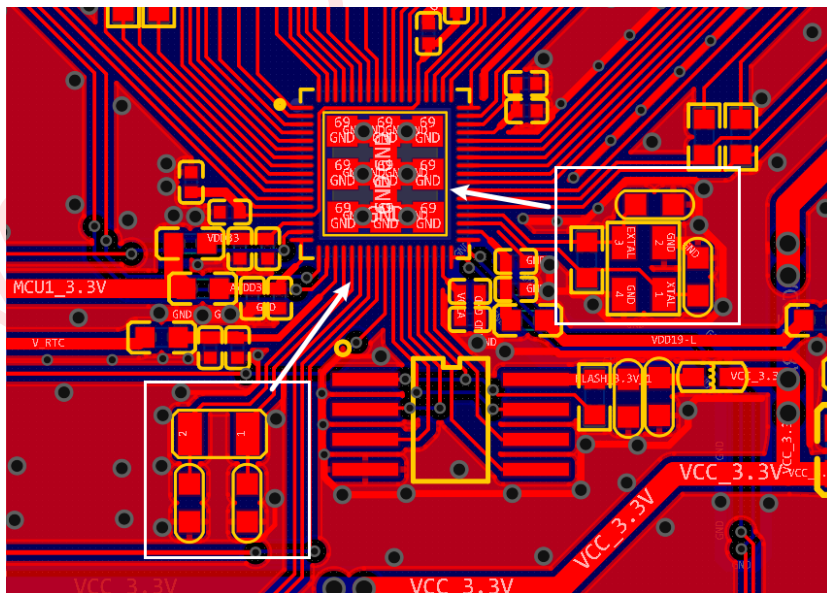


图 1-8：晶振位置布板范例

1.10. QFN 封装芯片底部焊盘设计

为了更好的散热设计，在 Layout 时建议把底部焊盘的封装分割为九个 1.3x1.3 (mm) 大小的焊盘（阻焊扩展为 0.1mm），并且各底部焊盘之间的中心间隔设置在 1.8mm，注意，不得在芯片焊盘底下布上整个大焊盘。

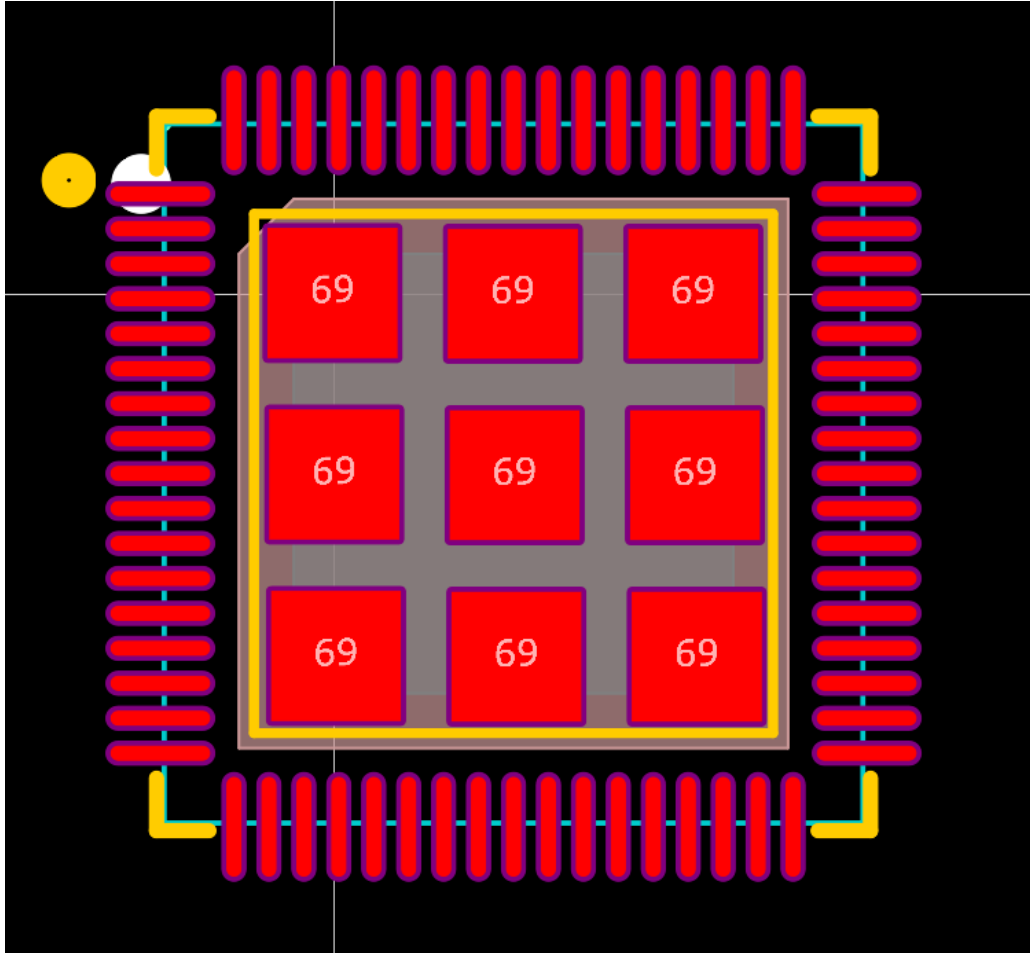


图 1-10: LT779C (QFN68) 焊盘与脚位图

1.11. 其他布板注意事项

- 有滤波电容的信号或者电源线需要确保通过滤波电容后再输入到 IC，如图 1-9。

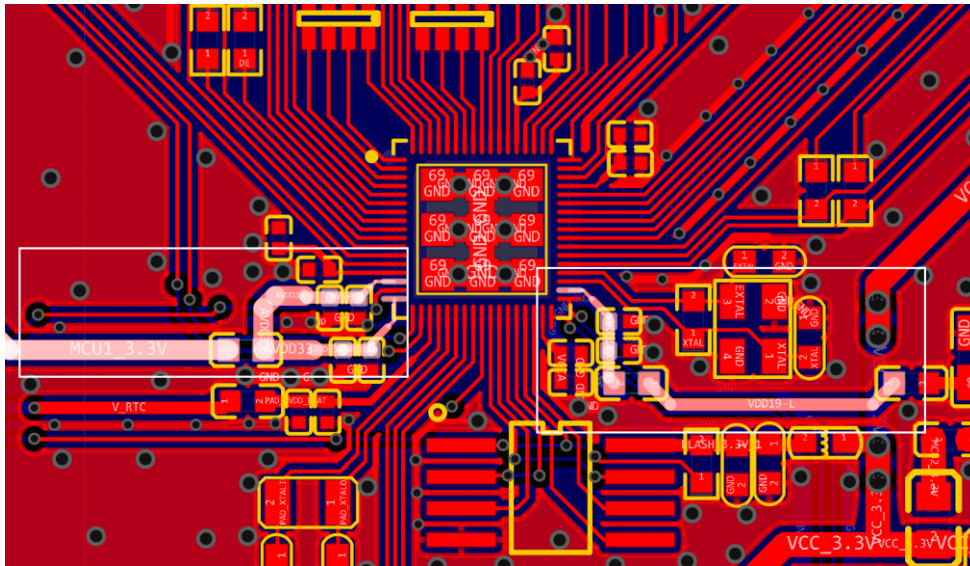


图 1-11: LT779C 导线通过滤波电容示意图

- 电源线的过孔相比其他信号线应该适当增大，电源线的粗细尽量减少突然增大或者缩小，如需要增大或者减少，在导线粗细变化的连接处应该进行泪滴处理。

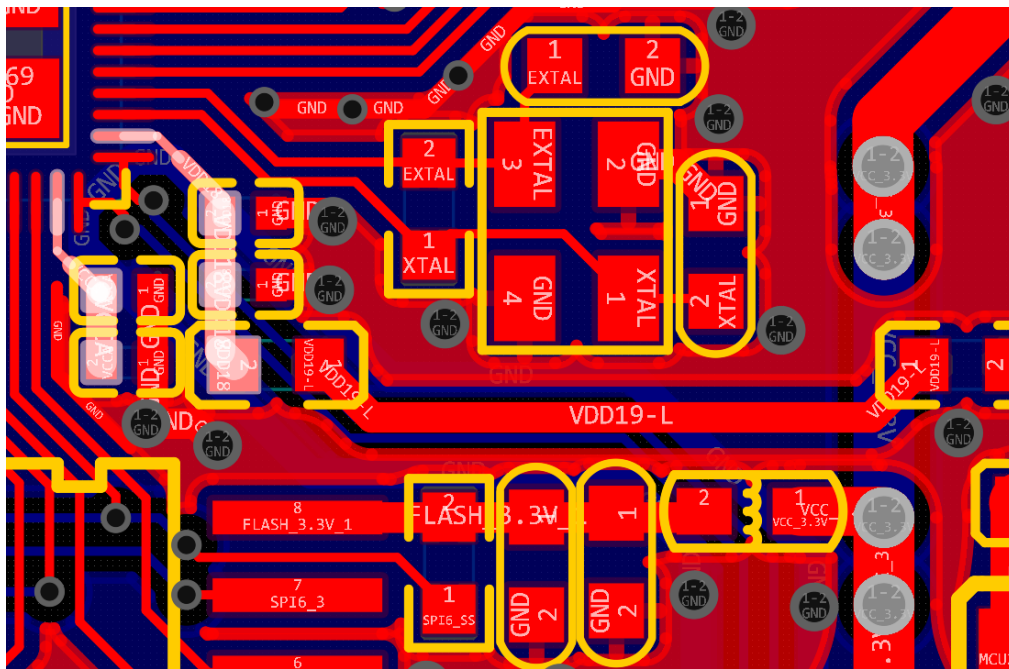


图 1-12：电源线过孔大小以及泪滴处理示意图

- 注意电源线和信号线的分布，避免电源线不必要的绕行。
- 电源及地线的间距应该要足够，避免打板或焊接出现短路现象。
- QFN 封装的底部焊盘必须充分接地。
- PCB 对应原理图走线有没有错误。
- 电源及地线的间距应该要足够，避免打板或焊接出现短路现象。
- 布线检查、标号检查、接插件检查、正反检查，及走线是否流畅检查等。
- 增加工艺测试点，比如重点信号，电源电压信号等。
- 增加程序测试点，可以用 MCU 引线做一个开关信号。
- 调试测试点，比如难测的重要信号，最好引出测试点。
- 预留螺丝孔或 PCB 的固定孔。
- 尺寸核对、尺寸检测。
- 结构核对，避免组件过高或摆放位置卡到结构。
- PCB 板名及版本是否标示清楚。
- 串口屏芯片主核心电路部份建议（或是预留）用金属罩接地罩住，可增加抗干扰能力。
- 抗干扰的扼流圈应靠近电源输入端。
- PCB 要保留与 TFT 外框金属壳以及 TFT 的 TP 排线上金属补强的接触或焊接点。

2. EMC/EMI 优化方案

2.1. EMC 优化建议

- 对电路有高频脉冲稳定性要求可在电源输入端添加压敏电阻 (R7)，通过压敏电阻前的 GND 与通过压敏电阻后的 GND 需要隔离开。

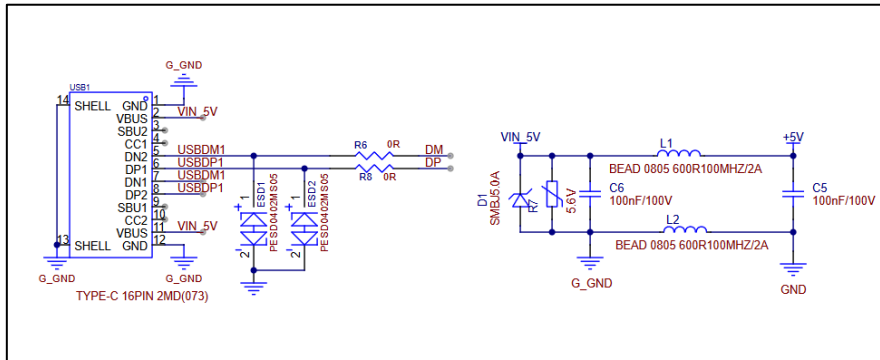


图 2-1: 电源输入高频脉冲稳定性优化建议

- 在与上位机通信接口，通信信号脚添加 ESD 静电保护二极管，并靠近连接器放置。

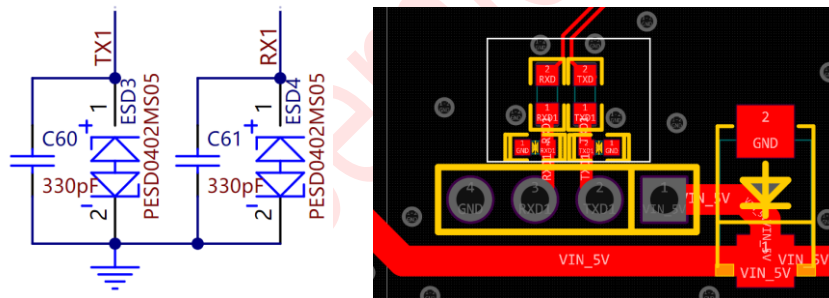


图 2-2: 外部接口 EMC 优化与布板示例图

- 如果使用 SD 卡，需在 SD 卡电源脚添加 ESD 静电保护二极管，并靠近连接器放置。

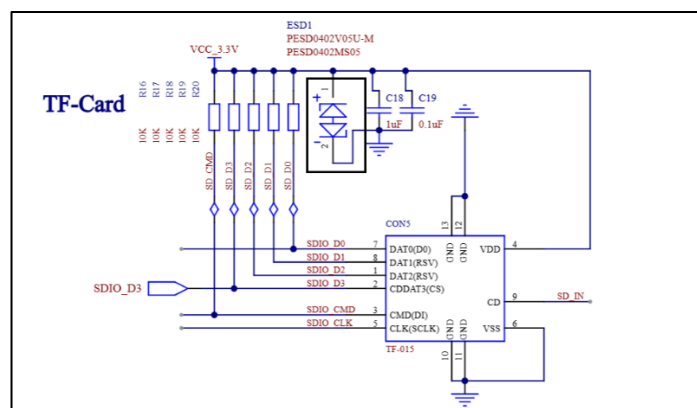


图 2-3: SD 卡 EMC 优化建议

- SWD 烧录的下载口信号添加 ESD 静电保护二极管，并靠近连接器放置。

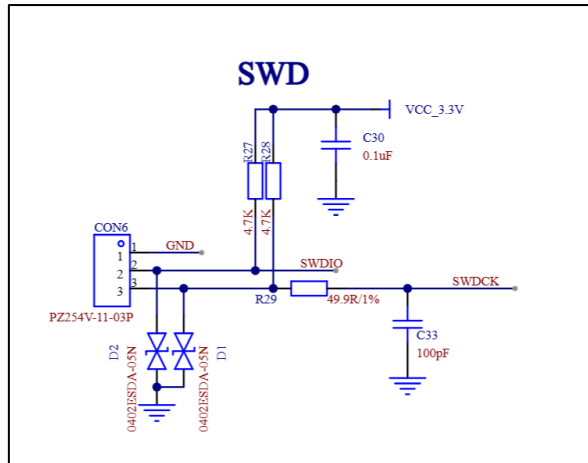


图 2-4: SWD 烧录口 EMC 优化建议

- 使用 CTP 电容触摸时，触摸信号以及电源输入端添加 ESD 静电保护二极管，并靠近连接器放置。

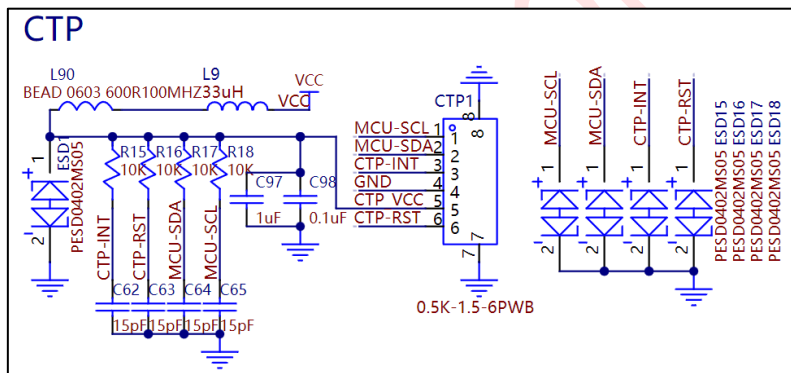


图 2-5: CTP 相关信号 EMC 优化建议

- TFT 屏电源脚添加 ESD 静电保护二极管，并靠近连接器放置。

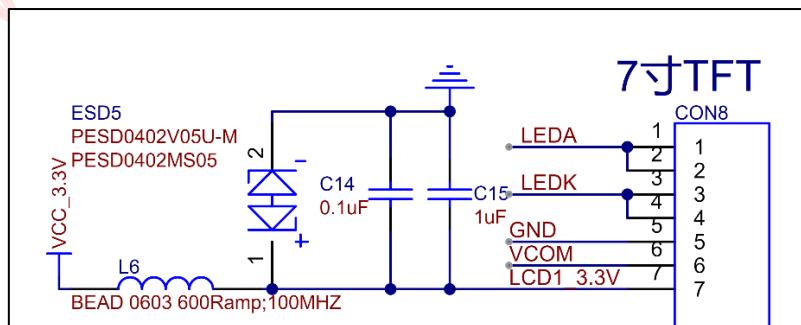


图 2-6: TFT 电源输入 EMC 优化建议

- 对于两层板而言，保证非主要元件层的 GND 覆铜完整性有利于增强板子的 ESD 性能。
对于两层以上的多层板而言，靠近主要元件层的中间层设置完整的 GND 层有利于增强板子的 ESD 性能。

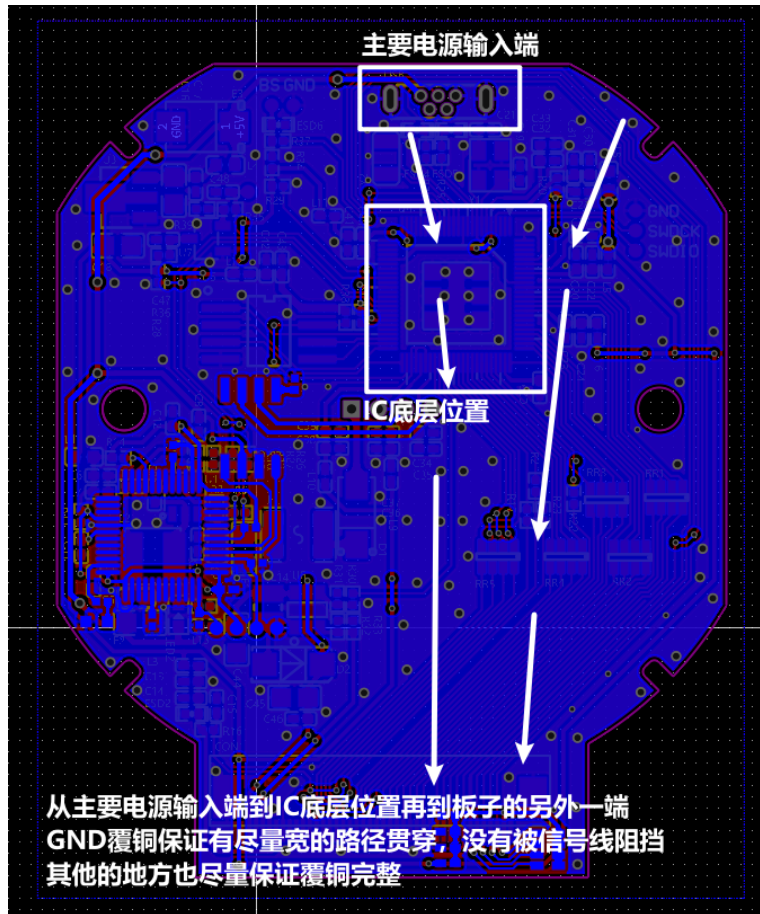


图 2-7：两层板的 GND 覆铜处理示意图

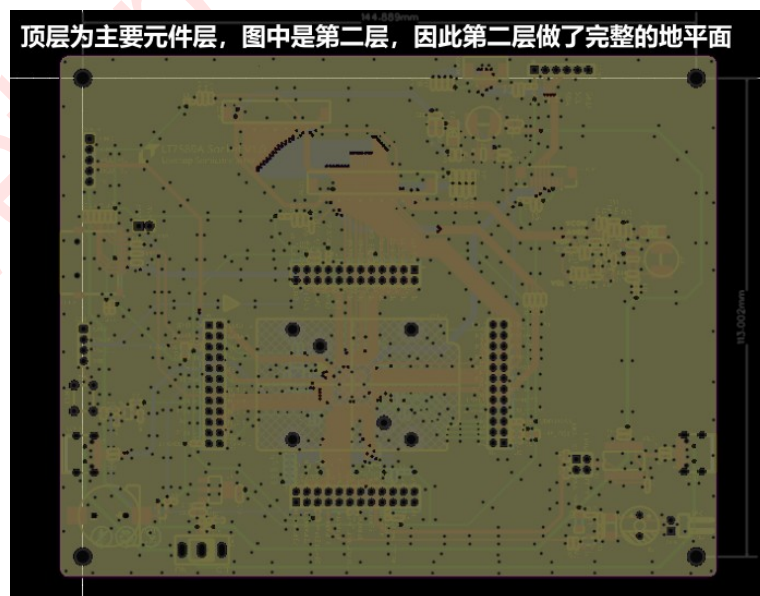


图 2-8：多层板(四层板)的 GND 覆铜处理示意图

- PCB 中不要保留悬空的焊盘，需要将悬空的焊盘接地。

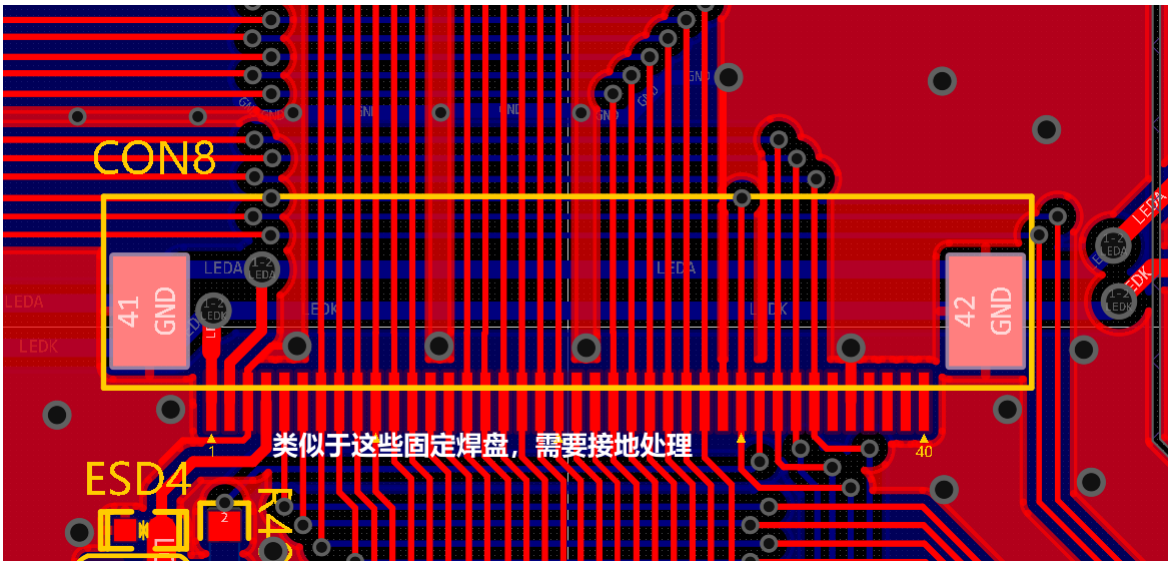


图 2-9：悬空焊盘处理示意图

- 当屏幕的背光面板或者是成品结构上存在导电的区域，可以考虑在 PCB 上增加几个尺寸较大的 GND 焊盘。ESD 测试时，将屏幕的背光面板、屏幕排线上的金属补强或者结构上导电的区域与 PCB 上的 GND 焊盘相连接，对增强整体成品的 ESD 性能非常有利。

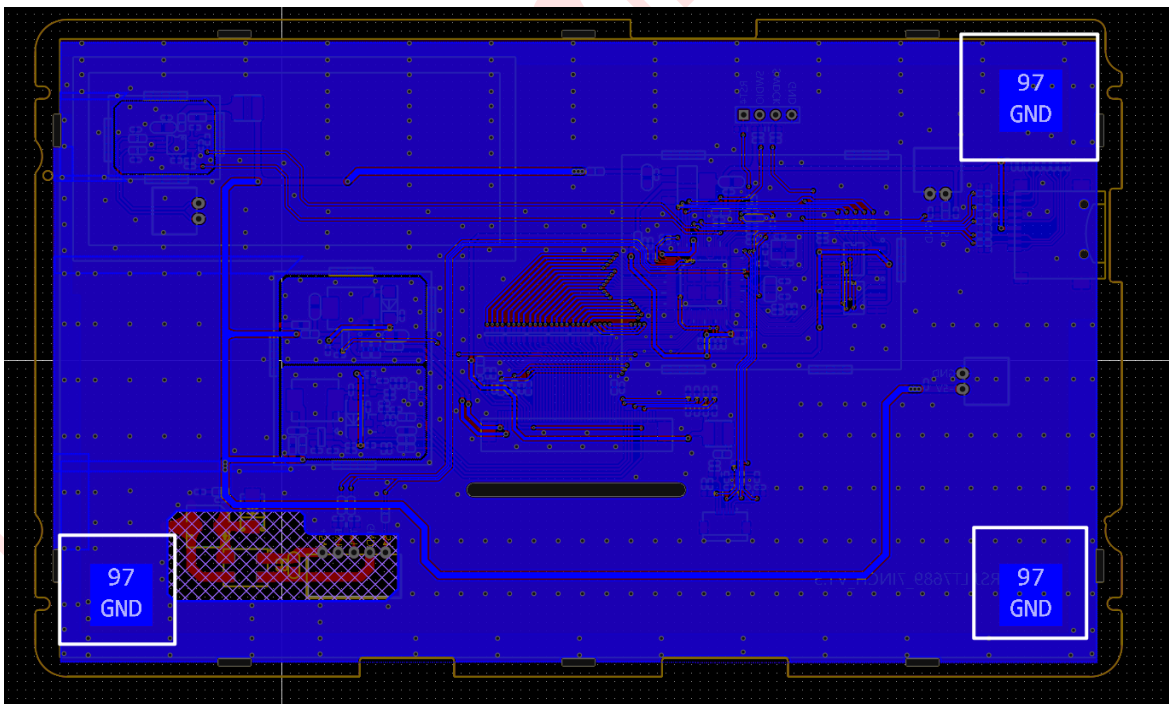


图 2-10：PCB 上的 GND 焊盘示意图

2.2. EMI 优化建议

- 屏幕数据线与控制线到 IC 引脚之间增加 50-100R 的磁珠，具体阻值可以根据实际测试情况适当的调整。

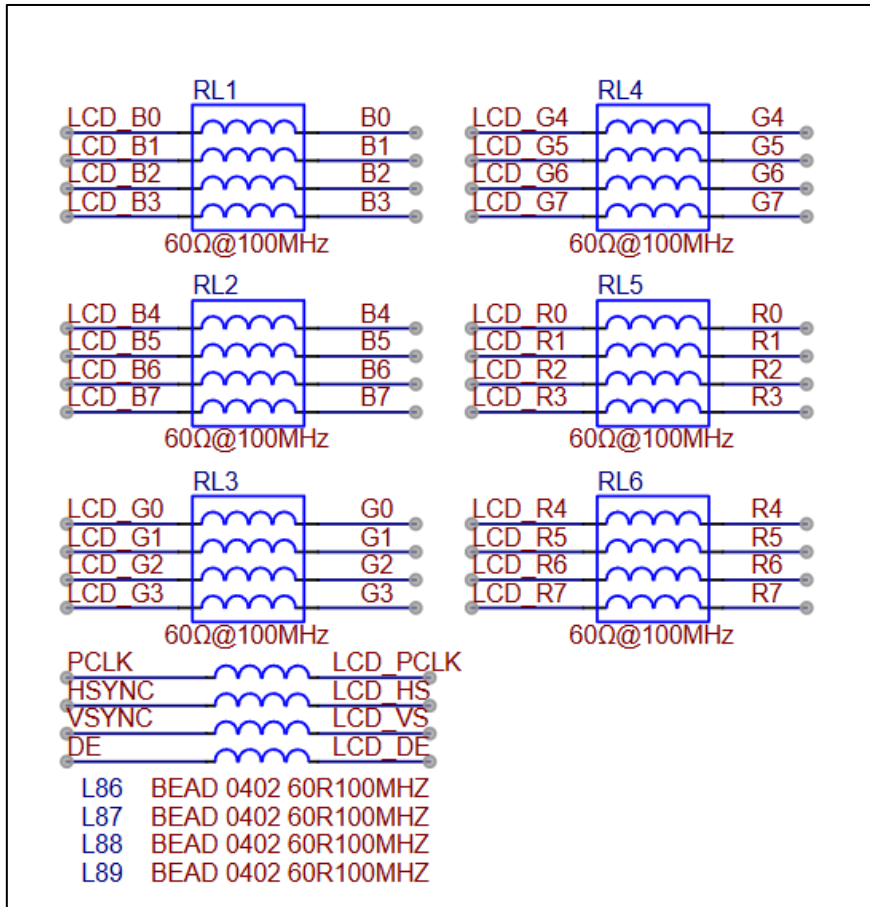


图 2-11: TFT 信号 EMI 优化建议

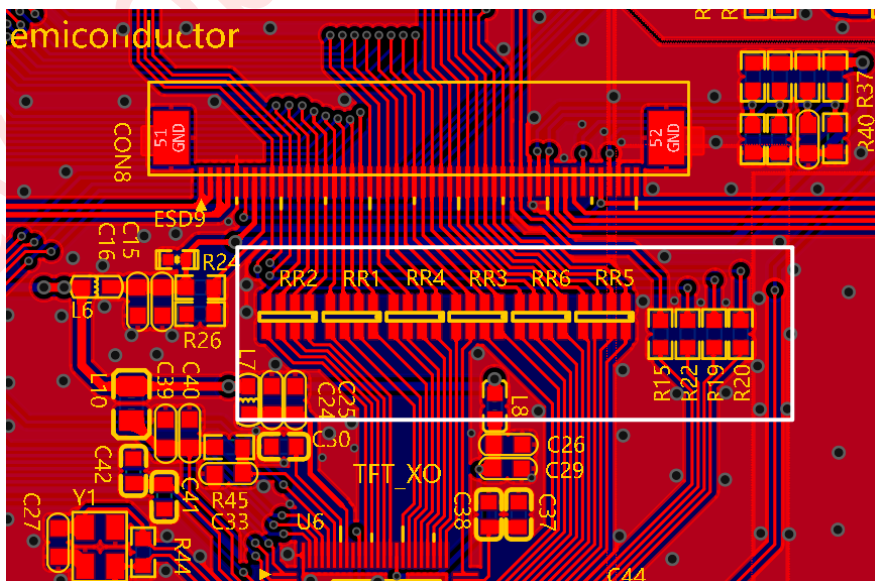


图 2-12: TFT 信号磁珠布板示意图 (一)

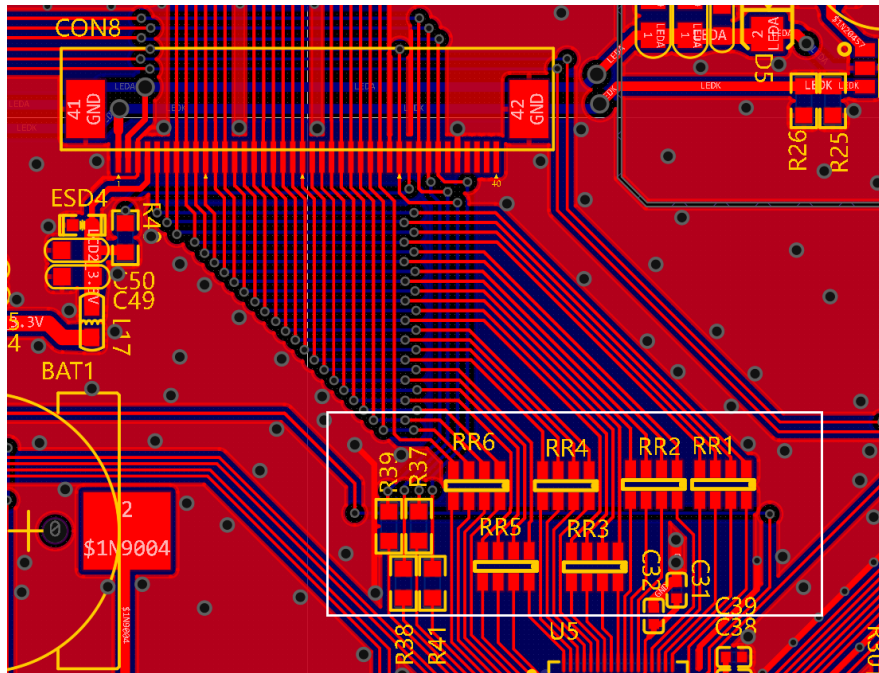


图 2-13: TFT 信号磁珠布板示意图 (二)

- FLASH 的时钟线上，可以增加一个 5pF 的对地电容，容值可根据实际的 EMI 测试情况去适当调整。在 PCB Layout 时，FLASH 的位置应该尽量靠近 IC，FLASH 的信号线（尤其是时钟线）与其他信号线有尽量宽的地线隔离包地，包地的边缘上适当增加 GND 的过孔。

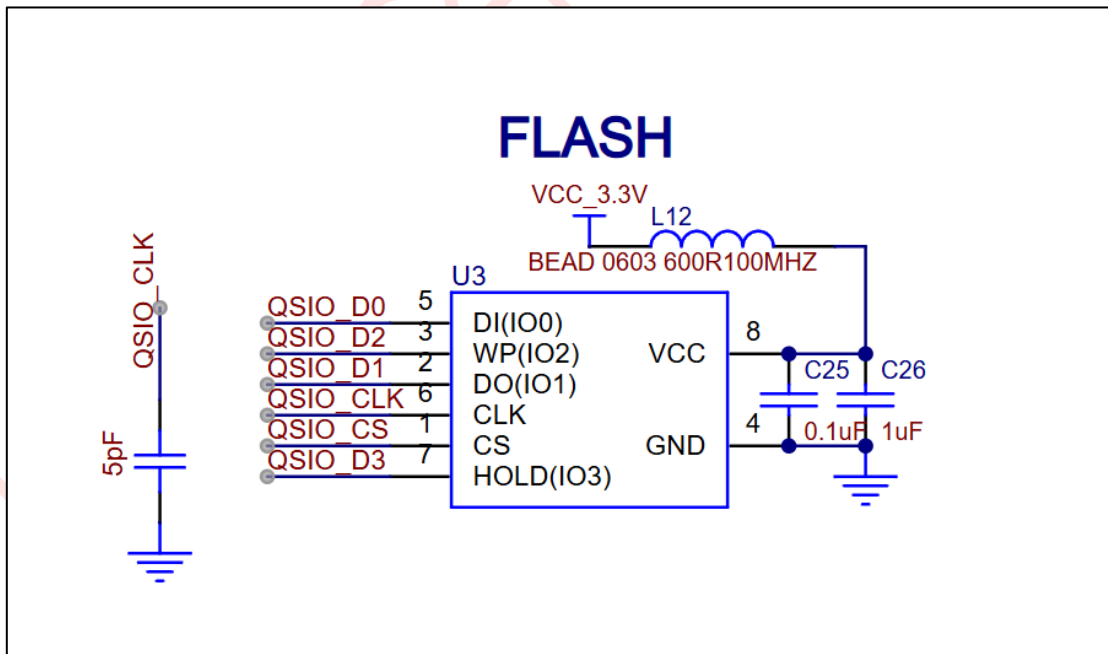


图 2-14: FLASH 时钟线的 EMI 处理示意图

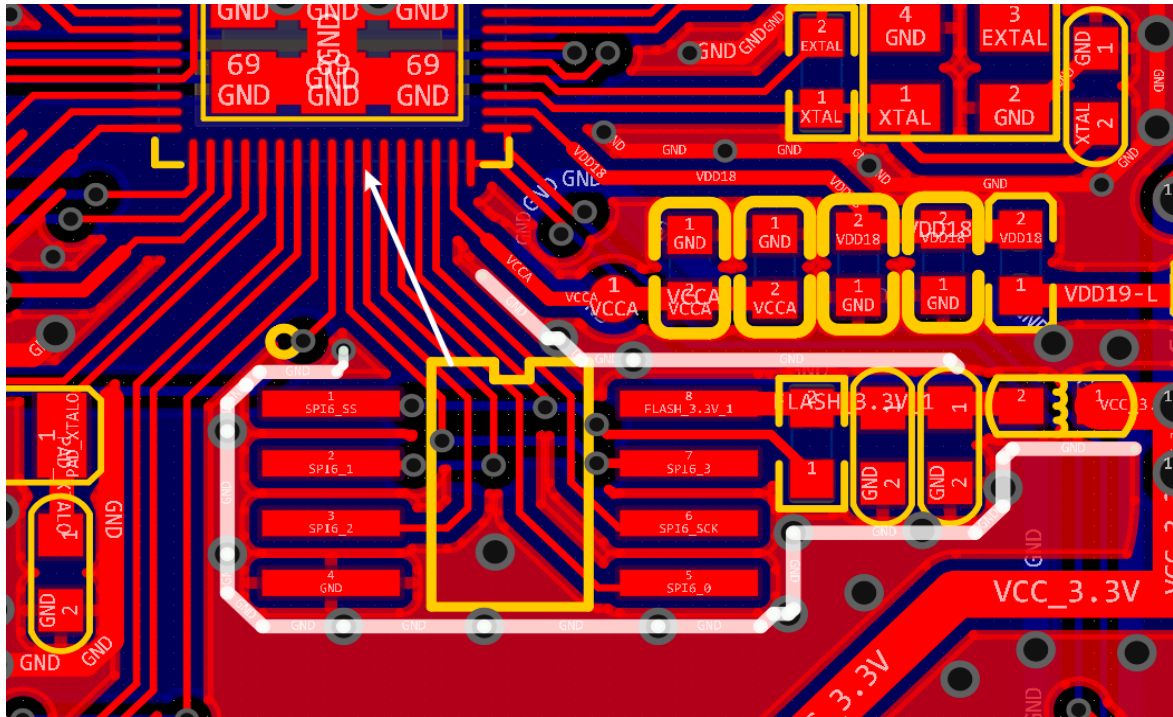


图 2-15: FLASH 的 EMI 布局处理示意图

- 晶振的布局需要尽量靠近 IC，晶振的周围以及晶振的信号线与其他信号线有尽量宽的地线隔离包地，在包地的边缘上适当增加 GND 过孔。

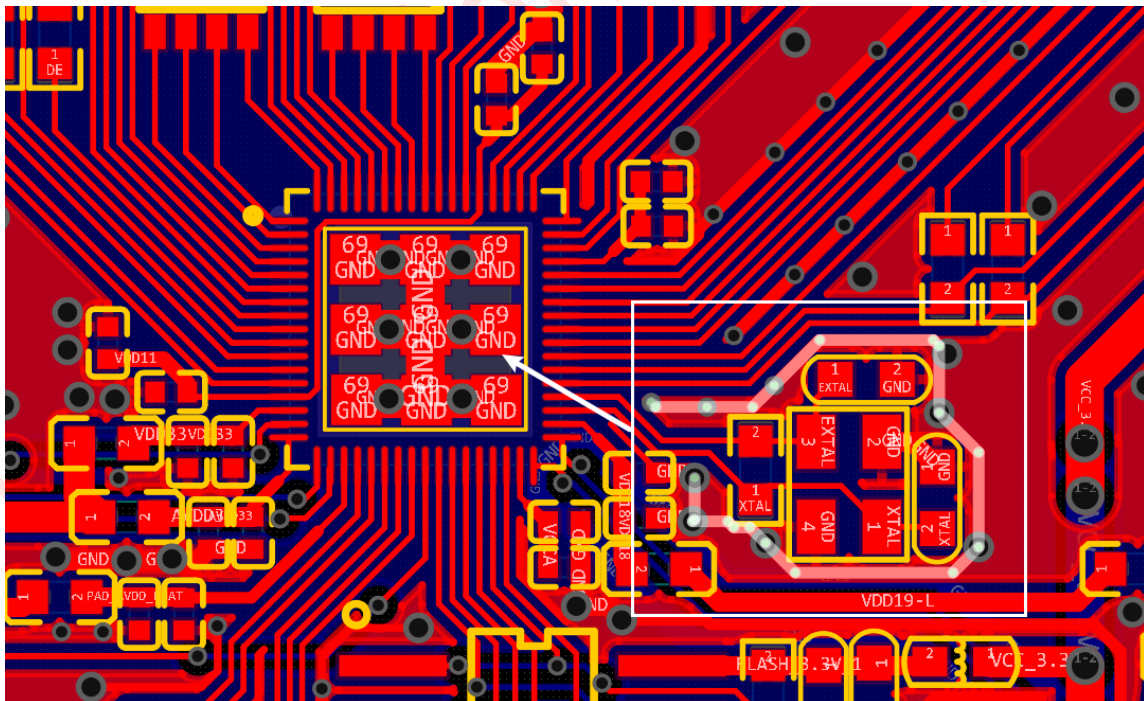


图 2-16: 晶振的 EMI 布局处理示意图

- 电源输入口 VIN 以及 GND 需分别串联磁珠，并且电源输入端附近需要添加滤波电容。电源输入口 VIN 周围与地要进行隔离。

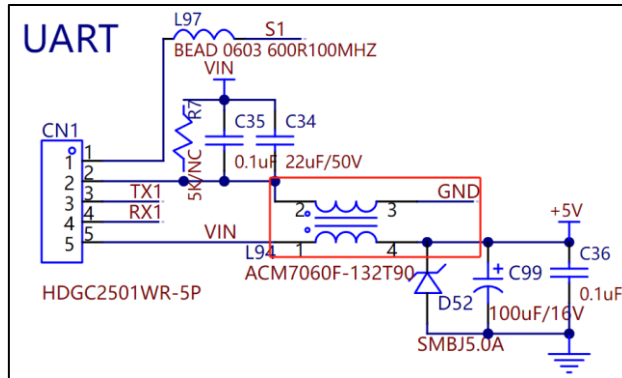


图 2-19: 电源输入 EMI 优化范例

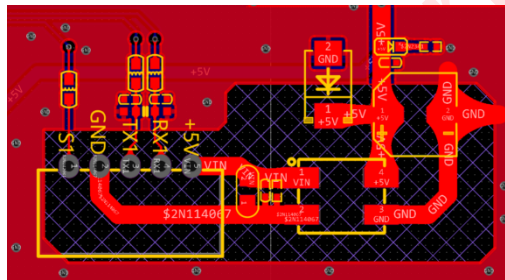


图 2-20: 电源输入优化布板示例图

- 在串口通信接口处，通信信号脚可以串上 50R 磁珠，并靠近连接器放置。

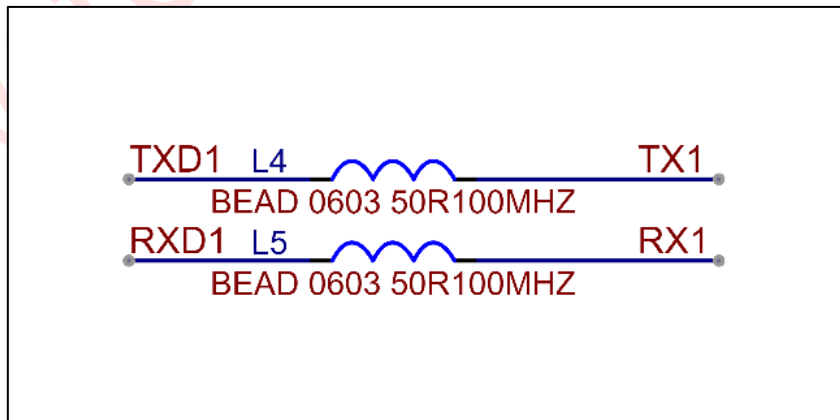


图 2-21: 串口通信 EMI 优化建议

- CTP 电容触摸接口电源输入需要串 33uH 电感以及 600R 磁珠

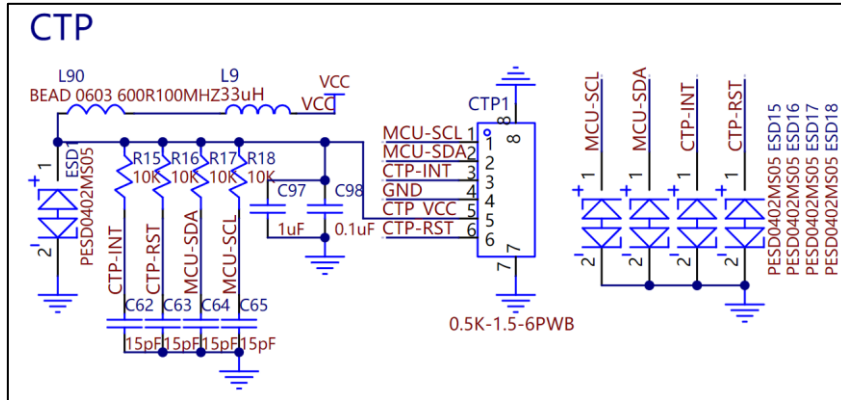


图 2-22: CTP EMI 优化建议

- MCU 主控部分电路可添加金属屏蔽罩支架。

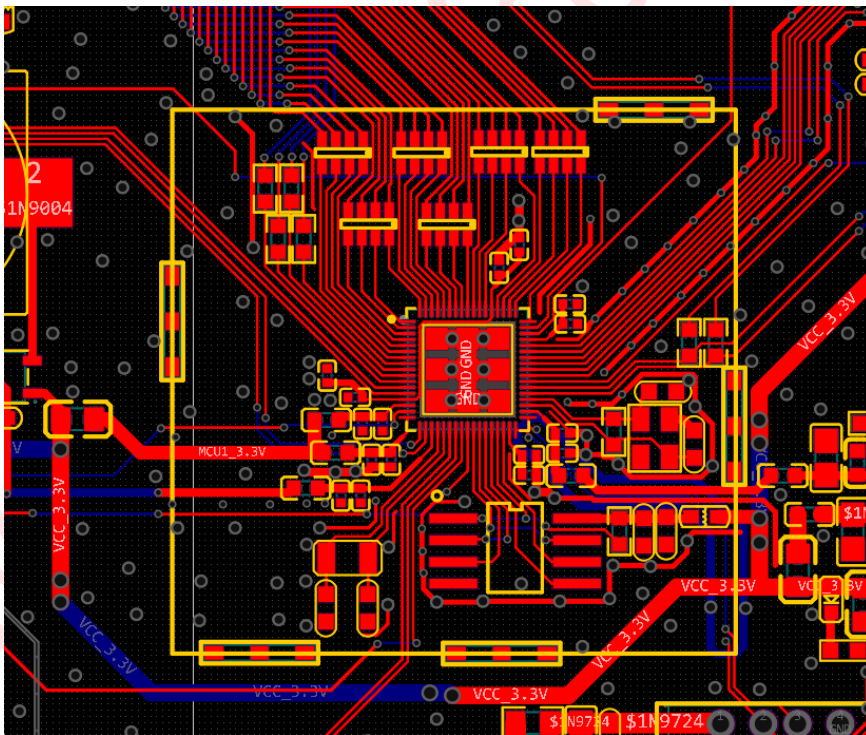


图 2-23: 主控部分添加金属屏蔽罩支架示例图

3. 原理图检查流程

3.1. LT779C 时钟与电源电路

LT779C 包含三组组时钟信号电路，分别为以下信号：

图 3-1：时钟信号

引脚名称	复用信号	脚位	管脚类型	输出方式	默认状态
Clock Interface					
XTAL_12M	--	37	A	--	O
EXTAL_12M	--	38	A	--	I
XTAL_32K	--	22	A	--	I
EXTAL_32K	--	21	A	--	O

EXTAL_12M 与 XTAL_12M 建议使用四脚 3225 封装 12MHz 晶振，且晶振两端需要 12pF 的对地电容与 1M 欧电阻；软件部分有用到计时功能，EXTAL_32K 与 XTAL_32K 需要加上 32.768K 晶振，且晶振两端需要 12pF 的对地电容。

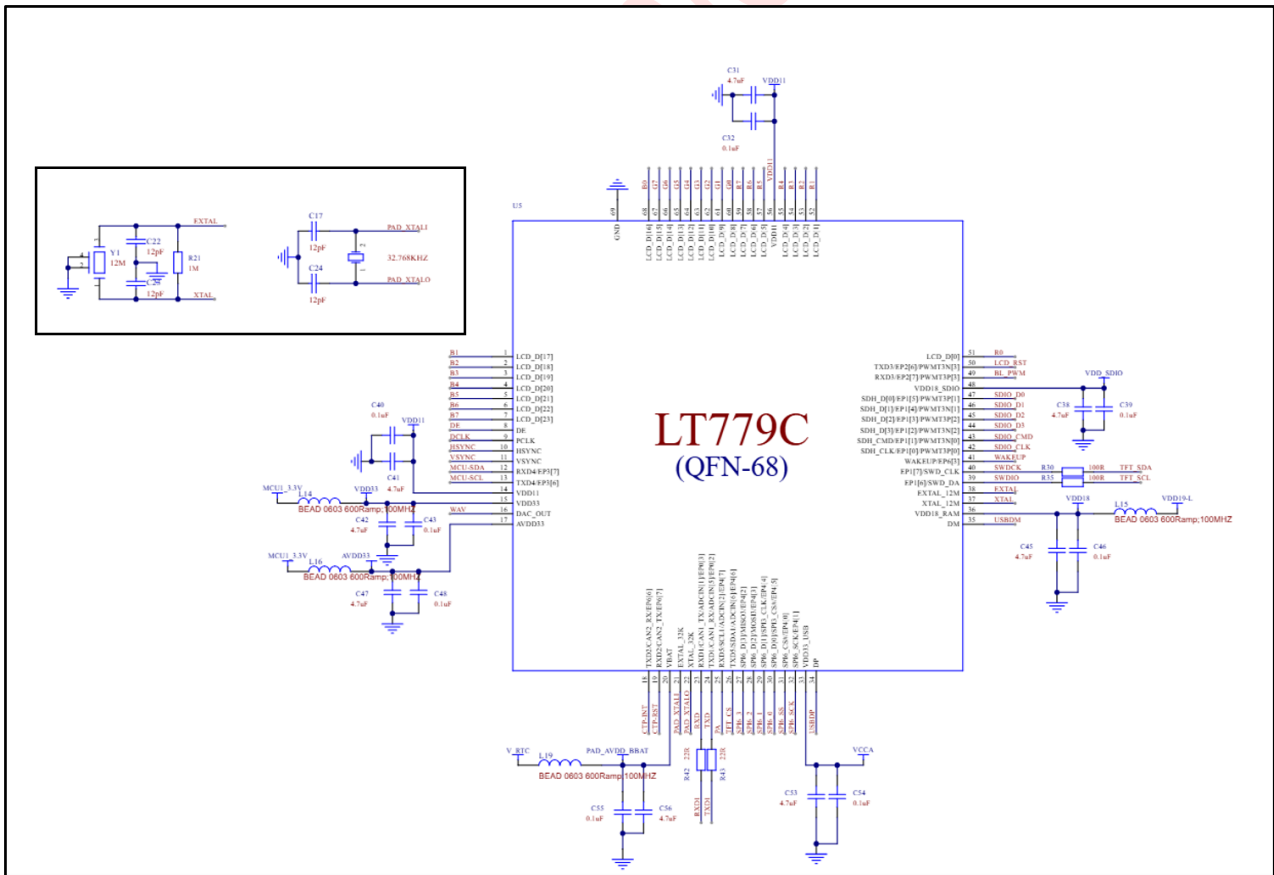


图 3-2：LT779C 晶振电路图

LT779C 的电源有 VDD33、AVDD33、VBAT、VDD33_USB、VDD18_RAM、VDD18_SDIO、VDD11，其中 VDD33 与 AVDD33 离的较近，因此可以由 3.3V 共用一个磁珠后各通过一组 4.7uF+0.1uF 的滤波电容进入芯片管脚；VBAT 为 RTC 电池供电，由 RTC 电池或者 3.3V 通过磁珠以及一组 4.7uF+0.1uF 的滤波电容进入芯片管脚，如不需要 RTC 电池，VBAT 也需要有 3.3V 供电；VDD33_USB 为 USB 3.3V 输出，加 4.7uF+0.1uF 的滤波电容；VDD18_RAM 需要 2.0V 的电压通过磁珠以及 4.7uF+0.1uF 的滤波电容进入管脚；VDD18_SDIO 为 SD HOST 电压 1.8V 输出，加 4.7uF+0.1uF 的滤波电容；VDD11 有两个管脚为 1.1V 芯片电源输出，两个管脚可以不相连，加 4.7uF+0.1uF 的滤波电容即可。

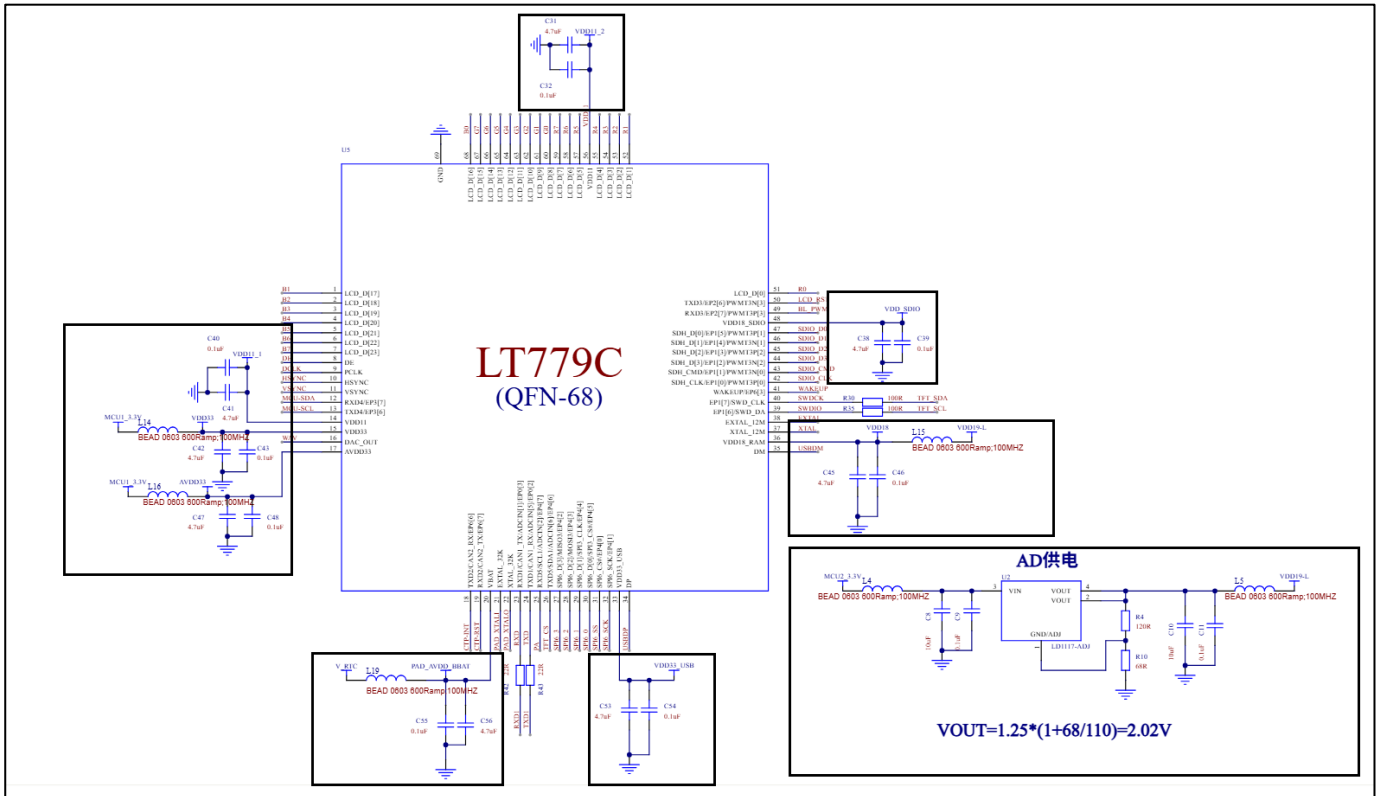


图 3-3: LT779C 电源电路

3.2. 原理图检查项目

- 原理图走线检查是否对应有错误。
- RGB 接口: PCLK、PDE、HSYNC、VHYNC 是否对应屏的接口,串电阻或留测试点, 数据线要高位对齐, 需要 SPI 初始化的屏, SPI 预留测试口。
- 若使用 VCOM 更新程序, BUSY 脚需要上拉并引出。
- 若使用 U 盘更新程序, 不能接上有 DMDP 功能的 TypeC 接口供电。

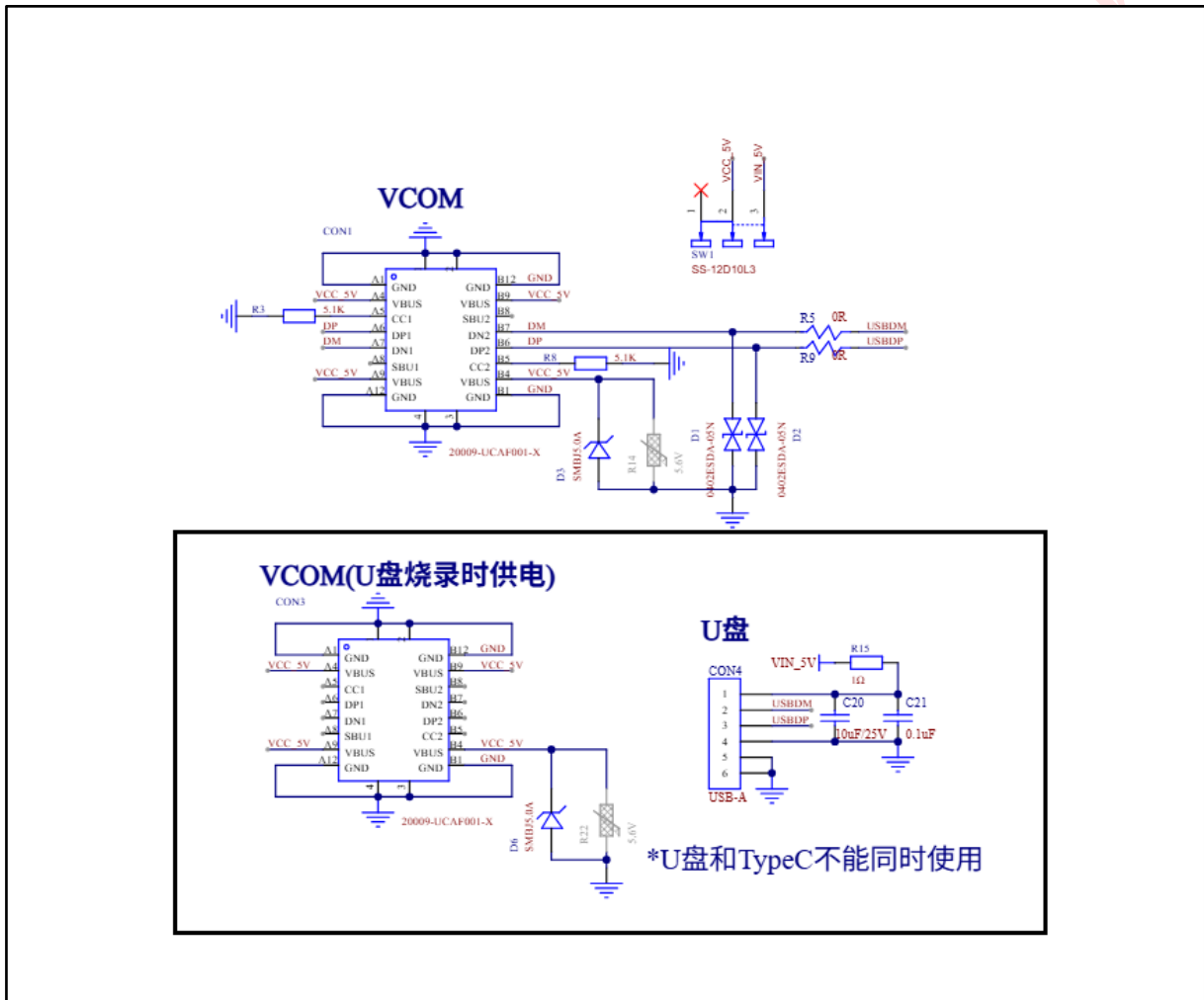


图 3-4: U 盘烧录时的供电接口示意图

- IC 电源供电是否正确。所有电源线的过孔数量、与尺寸与线宽是否足够。
- PCB 上晶振与背光电路的下面是否避开信号线。
- 确认原理图组件参数值电压值选用合理及满足电路要求。

■ 相关 EMC/EFT 干扰与抗干扰对策:

1. 电源滤波电路及组件 (滤波电容) 质量要好。
2. 产生 3.3V 的 DC to DC 电源输入端、输出端除了原有的滤波电容外, 再加上扼流圈 (磁珠)
3. 产生 TFT 屏背光的 DC to DC 电源输入端除了原有的滤波电容外, 再加上扼流圈 (磁珠)

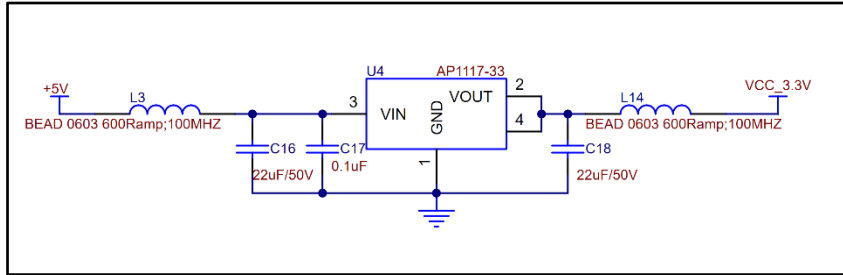


图 3-5: 3.3V 的 DC to DC 电源电路范例

4. 必要时 TFT 屏的 FPC 可做包覆处理 (如图 3-6)。
5. RGB 输出信号加串接电阻。
6. 高干扰环境需增加 ESD 保护组件。
7. 高干扰环境 LT779C 核心电路部分可以加上金属罩接地。

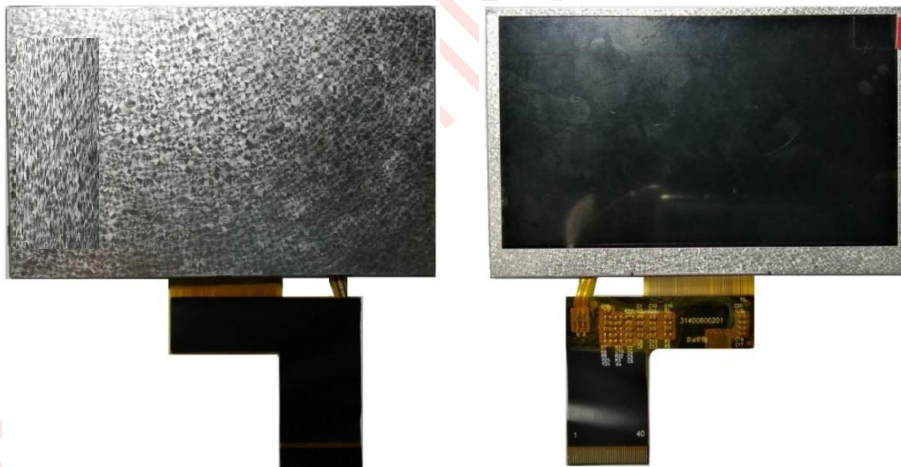


图 3-6: TFT 屏的 FPC 做包覆处理

8. EFT (Electrical Fast Transient) 电快速瞬变脉冲群的电源处理: 正负两端都要用电感隔离, 电源输入端需要增加 5.6V 的压敏电阻。

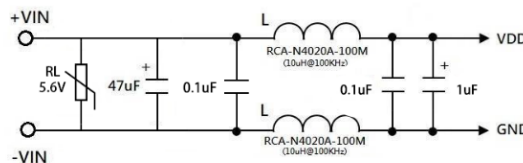


图 3-7: 降低 EFT 干扰的参考电路