乐升半导体
LEVETOP

LT168D

Uart TFT Display Controller

串口屏控制芯片

简易版规格书

V1.1

www.levetop.cn
Levetop Semiconductor Co., Ltd.

版本记录

版 本	日 期	说 明
V1.0	2024/8/26	● 初版
V1.1	2025/7/11	● 新增圖 3-11 外加专用复位芯片参考原理图

版权说明

本文件之版权属于 乐升半导体 所有，若需要复制或复印请事先得到 乐升半导体 的许可。本文件记载之信息虽然都有经过校对，但是 乐升半导体 对文件使用说明的规格不承担任何责任，文件内提到的应用程序仅用于参考，乐升半导体 不保证此类应用程序不需要进一步修改。乐升半导体 保留在不事先通知的情况下更改其产品规格或文件的权利。有关最新产品信息，请访问我们的网站 Http://www.levetop.cn 。

Levetop Semiconductor

© Levetop Semiconductor Co., Ltd.

目　录

版本记录 2
版权说明 2
目　录 3
图 附 录 5
表 附 录 6
1. LT168D 介绍 7
1.1. 基本简介 7
1.2. 内部方块图 8
1.3. 功能说明 9
1.3.1. 32-bits RISC 处理器内核 9
1.3.2. 内建 768K Bytes 静态内存 SRAM 9
1.3.3. QSPI Flash 闪存 9
1.3.4. 8K Bytes ROM 9
1.3.5. 32K Bytes 高速缓存 9
1.3.6. 外部总线控制器 9
1.3.7. DMA 控制器 10
1.3.8. 复位（Reset） 10
1.3.9. 四组 PIT（Periodic Interval Timer） 10
1.3.10. 看门狗定时器（Watchdog Timer） 10
1.3.11. GPIO 与中断接口（EPORT） 10
1.3.12. 四线串口 SPI 模块（QSPI） 10
1.3.13. 串口通讯模块（SCI / Uart） 11
1.3.14. USB 2.0 Full Speed 控制器 11
1.3.15. 两组 PWM 控制器 12
1.3.16. 8 通道 ADC 转换器 12
1.3.17. 两组模拟比较器（Comparator） 12
1.3.18. 电源管理单元（PMU） 13
1.3.19. 电压侦测器 13
1.3.20. 内部时钟 13
1.3.21. 内部晶振时钟 13
1.4. 系统应用方块图 14
1.5. TFT 模块应用图 14
2. 引脚信号说明 15

Levetop Semiconductor

© Levetop Semiconductor Co., Ltd.

2.1. 芯片脚位图 15
2.2. 信号特性 16
2.3. 信号说明 19
2.4. LT168D 与 LT168 之比较 23
3. 硬件接口 24
3.1. 主控端 MCU 通讯接口 24
3.2. TFT LCD 屏的控制接口 24
3.3. QSPI 接口 25
3.4. LCD 触控屏接口 26
3.5. 时钟信号源接口 26
3.6. LCD 背光控制接口 27
3.7. 复位（Reset） 28
3.8. USB 接口 29
3.9. SPI/Uart 扩展接口 29
4. 内存与寄存器配置 30
4.1. 简要说明 30
4.2. 地址配置图 30
5. 电气特性 32
5.1. 极限参数 32
5.2. DC 电气参数 32
5.3. ESD 保护规格 33
5.4. VDD 上电时序 34
6. 参考原理图 35
7. 封装讯息 37
7.1. LT168D (QFN-40pin) 37
7.2. 芯片接地焊盘的 PCB 设计 38

Levetop Semiconductor

© Levetop Semiconductor Co., Ltd.

图 附 录

图 1-1：LT168D 外观图 8
图 1-2：内部方块图 8
图 1-3：LT168D 系统应用方块图 14
图 1-4：TFT LCD 模块应用图 14
图 2-1：LT168D (QFN40) 脚位图 15
图 3-1：LT168D 的串口和主控 MCU 的通讯 24
图 3-2：LT168D 与 8 位 8080 并行接口的 TFT 屏连接 24
图 3-3：LT168D 与 SPI 接口的 TFT 屏连接 25
图 3-4：LT168D 连接 QSPI Flash 原理图 25
图 3-5：LT168D 连接到电阻触控屏 26
图 3-6：LT168D 连接到电容触控屏 26
图 3-7：外部的 12MHz 晶振原理图 26
图 3-8：TFT LCD 背光控制参考原理图 - 1 27
图 3-9：TFT LCD 背光控制参考原理图 - 2 27
图 3-10：外部复位参考原理图 28
图 3-11：外加专用复位芯片参考原理图 28
图 3-12：LT168D 连接到 USB 端口的应用电路 29
图 3-13：额外的 SPI、Uart 接口参考原理图 29
图 4-1：地址配置图 30
图 5-1：VDD 上电要求时序图 34
图 6-1：LT168D 接 8bit 8080 MCU 屏的参考原理图 35
图 6-2：LT168D 接 SPI MCU 屏的参考原理图 36
图 7-1：LT168D 外观尺寸图 37
图 7-2：LT168D 底部焊盘 PCB 的设计建议 38

Levetop Semiconductor

© Levetop Semiconductor Co., Ltd.

表附录

表 1-1：LT168D 型号 7
表 2-1：信号特性说明 16
表 2-2：引脚信号说明 19
表 2-3：LT168D 比较表 23
表 4-1：硬件模块与寄存器地址的配置图 31
表 5-1：电气极限参数表 32
表 5-2：IO 电气参数表(3.3V) 32
表 5-3：电源特性 33
表 5-4：ESD 保护规格 33
表 5-5：VDD 上电（Power Up）特性 34
表 7-1：LT168D 封装尺寸参数 37

Levetop Semiconductor

© Levetop Semiconductor Co., Ltd.

1. LT168D 介绍

1.1. 基本简介

LT168D 是一款低分辨率、高性价比的串口屏 TFT 显示控制芯片。它包含一个 32 位 MCU 和图形显示模块，提供串口通信协议，支持 8 位并口的 8080 MCU 接口或是 SPI 串口接口，同时分辨率 480*320 以内的 TFT 屏。

LT168D 支持 乐升半导体（Levetop Semiconductor）的 UI 显示编辑软件 UI_Editor-II。它可以根据产品 TFT 显示面板的分辨率，快速地将显示素材（UI）及运作逻辑进行规划和导入到外部的闪存内。这可以帮助开发人员缩短使用 TFT 显示面板的产品的开发时间。在 UI 编辑软件“UI_Editor-II”进行导入设计和验证后，主控端 MCU 通过串行 Uart 接口与 LT168D 进行通信，LT168D 外部 Flash 的通信程序会根据 UI_Editor-II 的设计结果，对开发者从主机发出的串口命令进行解析，并将该命令所要显示的 UI 数据传到到 TFT 屏上。有关详细说明，请参阅“UI_Editor-II”应用说明。

LT168D 嵌入了一个以最大 200MHz 频率运作的高性能 32 位 RISC 内核、高速内存（包括 768KB SRAM、8K 字节 ROM）、一个 32K 字节双向集关联缓存、支持高达 256M 字节的四信道 SPI 闪存接口，以及若干增强型外设和 I/O 口。提供了标准通信接口（1 个主 QSPI、1 个 SPI、2 个 UART、1 个 USB2.0 F/S 控制器）、8080 MCU 显示面板接口（支持 8080 总线，可与 MCU 面板连接）、定时器（最多 4 个通用 16 位定时器、5 个 PWM 定时器和 1 个异步看门狗定时器），ADC 模拟模块（1 个 1 MSPS ADC，带 4 通道和 2 个比较器）。LT168D 还支持 Little VGL 的 GUI 图形库，具有良好的显示流畅性和优异的性价比。

由于含有高容量的 SRAM 及若干 IO 接口，LT168D 也可以将部分资源作为主控的 MCU，将主控及 TFT 显示功能由一颗 LT168D 来完成，它的显示功能非常适合用在低分辨率 TFT-LCD 屏的电子产品上，如用来取代原单色屏产品，或是增加产品质感、档次，不会造成产品原主控端 MCU 太多的负担，可应用于各式车载周边、小家电、智能家电、手持控制设备、工业控制板、电子仪器、医疗设备、小型检测设备、小电摩、个人医美、充电设备、水电表、带屏智能音箱、洗脱机、机器人等产品。

LT168D 的工作频率高达 200MHz。温度范围为-40°C 至 105°C，工作电压为 3.3V。LT168D 封装的型号如下所示：

表 1-1：LT168D 型号

型号	封装	内建 Flash	内建 SRAM	适用的 TFT 屏
LT168D	QFN40 (5*5 mm^2)	none	256K+512K Bytes	● 8-bits 8080 MCU 接口 TFT 屏 ● SPI 接口 TFT 屏

© Levetop Semiconductor Co., Ltd.



QFN40 (5*5 mm^2)

图 1-1：LT168D 外观图

1.2. 内部方块图

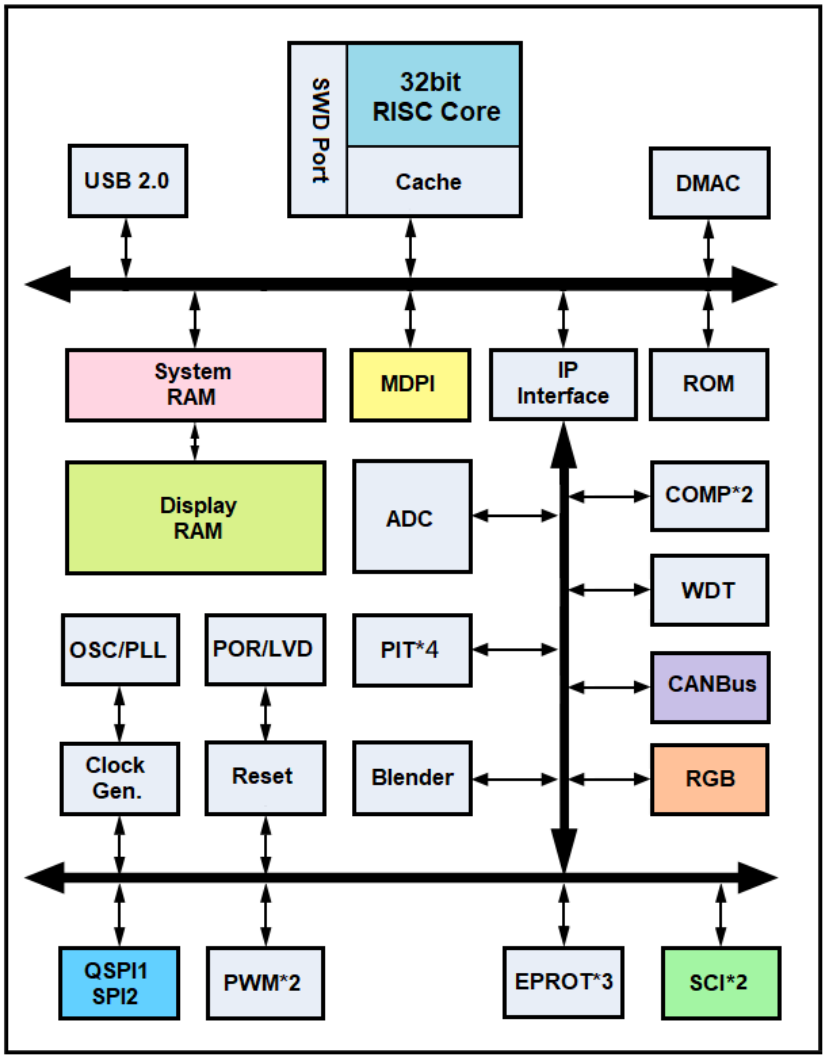

图 1-2：内部方块图

© Levetop Semiconductor Co., Ltd.

1.3. 功能说明

1.3.1. 32-bits RISC 处理器内核

– 32-bits load/store reduced instruction set computer (RISC) architecture with fixed 16-bits instruction length
– 16 entry 32-bits general-purpose register file
– Efficient 3-stage execution pipeline, hidden from application software
– Single-cycle instruction execution for many Instructions, three cycles for branches
– Support for byte/halfword/word memory accesses
– Embedded interrupt controller, support nested vector interrupts
– Single-cycle 32-bits x 32-bits hardware integer multiplier array
– 3~13 cycles hardware integer divider array

1.3.2. 内建 768K Bytes 静态内存 SRAM

– Single cycle byte, half-word (16-bits), and word (32-bits) reads and writes
– Two segment for improving performance at certain application
  • System RAM: 256K Bytes and address range from 0x800000 to 0x83FFFF.
  • Display RAM: 512K Bytes and address range from 0x840000 to 0x8BFFFF

1.3.3. QSPI Flash 闪存

– LT168D 支持外接 QSPI Flash
– 提供 乐升半导体 串口通讯软件

1.3.4. 8K Bytes ROM

– Single cycle byte, half-word (16-bits), and word (32-bits) reads access

1.3.5. 32K Bytes 高速缓存

– 2-way set -associative organization
– Two AHB bus interfaces, a master and a slave interface

1.3.6. 外部总线控制器

– Programmable wait states -up to 16 wait states can be programmed before the access terminated
– One programmable asynchronous active-low chip selects.
– Programmable chip selects wait cycle
  • To interface with various panels, up to 16 chip selects asserted cycle can be programmed
– Programmable read/write asserted cycle
– Programmable read/write negated cycle
– Support 8-bits port size.
– Support 8080 standard bus
– Support 8080 MCU Type TFT Panel:
  • 480 x 320
  • 320 x 240 or Less

© Levetop Semiconductor Co., Ltd.

1.3.7. DMA 控制器

– 32 independent programmable DMA controller channels
– Data transfers in 8, 16, 32-bits
– Support single transfer, Burst 4, 8,16 transfer, and burst always under a special case.
– Support single cycle transfer
– Support automatic transfer mode
– Support LLI transfer mode
– Follow a fixed priority rule

1.3.8. 复位（Reset）

– Internal power on reset circuit
– Five sources of reset:
  • Power-on Reset
  • External Pin
  • Software Reset
  • Watchdog Timer
  • Program Voltage Detect Reset
– Status flag indicates source of the last reset

1.3.9. 四组 PIT（Periodic Interval Timer）

– 16-bits counter with modulus "initial count" register
– Selectable as free running or count down
– 16 selectable prescalers — 2^0 to 2^{15}
– Support DMA interface

1.3.10. 看门狗定时器（Watchdog Timer）

– 16-bits counter with modulus "initial count" register
– Pause option for low-power modes
– Up to 2000ms service time

1.3.11. GPIO 与中断接口（EPORT）

– Eight Channels for each EPORT
– Rising/falling edge select
– Low/High level sensitive
– Interrupt pins configurable as general-purpose I/O

1.3.12. 四线串口 SPI 模块（QSPI）

– Serial-master operation
– DMA controller interface
– Enables the SSI to interface to a DMA controller over the bus using handshaking interface for transfer requests.
– Clock stretching support in enhanced SPI transfers
– Data item size (4 to 32-bits) – Item size of each data transfer is under control of the programmer

© Levetop Semiconductor Co., Ltd.

– Configurable depth of the transmit and receive FIFO buffers from 2 to 256 words deep. The FIFO width is fixed at 32-bits
– Enhanced SPI support
– Execute in Place (XIP) mode support

1.3.13. 串口通讯模块（SCI / Uart）

– Full-duplex, standard non-return-to-zero (NRZ) format
– Programmable baud rates (13-bits modulo divider) with configurable oversampling ratio from 4x to 256x
– Interrupt, polled operation
  • Transmit data register empty and transmission complete
  • Receive data register full
  • Receive overrun, parity error, framing error, and noise error
  • Idle receiver detect
  • Active edge on receive pin
  • Break detect supporting LIN
  • Receive Data Match
– Hardware parity generation and checking
– Programmable 8-bits, 9-bits or 10-bits character length
– Programmable 1-bit or 2-bits stop bits
– Three receiver wakeup methods:
  • Idle line wakeup
  • Address mark wakeup
  • Receive data match
– Automatic address matching to reduce ISR overhead:
  • Address mark matching
  • Idle line address matching
  • Address Match Start, Address Match End
– Optional 13-bits break character generation / 11-bits break character detection
– Configurable idle length detection, supporting 1, 2, 4, 8, 16, 32, 64 or 128 idle characters
– Selectable transmitter output and receiver input polarity
– Selectable IrDA 1.4 Return-to-Zero-Inverted (RZI) format with programmable pulse width
– Independent FIFO structure for “transmit” and “receive”
  • Separate configurable watermark for “receive” and “transmit” requests
  • Option for receiver to assert request after a configurable number of idle characters if the “receive” FIFO is not empty

1.3.14. USB 2.0 Full Speed 控制器

– Supports internal reference clock or external 12MHz crystal reference clock
– Compliant with USB2.0 full speed specification with on-chip integrated PHY module
– Supports FS (12Mbps) mode
– Supports up to 8 endpoints, including endpoint 0
– All endpoints except endpoint 0 can support interrupt and bulk transfer
– All endpoints except endpoint 0 can be configured as 8, 16, 32, 64 bytes FIFO size
– Endpoint 0 supports control transfer

Levetop Semiconductor

© Levetop Semiconductor Co., Ltd.

1.3.15. 两组 PWM 控制器

– Four channel each PWM controller
– Programmable period
– Programmable duty cycle
– Two Dead-Zone generator
– Capture function
– Pins can be configured as general-purpose I/O

1.3.16. 8 通道 ADC 转换器

– High performance
  • 12-bits, 10-bits, 8-bits or 6-bits configurable resolution
  • ADC conversion time: 1.0 μs for 12-bits resolution (1 MHz), 0.88 μs conversion time for 10-bits resolution, faster conversion times can be obtained by lowering resolution.
  • Programmable sampling time
  • Data alignment with built-in data coherency
  • DMA support
– Low power
  • PLCK frequency can be reduced for low power operation while still keeping optimum ADC performance. For example, 1.0 μs conversion time is kept, whatever the frequency of PLCK
  • Wait mode: to prevent ADC overrun in applications under low frequency PLCK
  • Auto off mode: ADC is automatically powered off except during the active conversion phase. This dramatically reduces the power consumption of the ADC.
– Analog input channels
  • 8 external analog inputs
– Start-of-conversion can be initiated:
  • By software
  • By hardware triggers with configurable polarity
– Conversion modes
  • Can convert a single channel or can scan a sequence of channels.
  • Single mode converts selected inputs once per trigger
  • Continuous mode converts selected inputs continuously
  • Discontinuous mode
– Interrupt generation at the end of sampling, end of conversion, end of sequence conversion, and in case of analog watchdog or overrun events.
– Analog watchdog
– Single-ended and differential-input configurations Converter uses an internal reference or an external reference

1.3.17. 两组模拟比较器（Comparator）

– Programmable response time
– Programmable hysteresis
– Support analog input multiplexer with nine selection
– Two optional output: filtered or asynchronous output
– Selectable rising/falling edge interrupt

Levetop Semiconductor

© Levetop Semiconductor Co., Ltd.

1.3.18. 电源管理单元（PMU）

– Support on-chip 1.2V LDO with maximum load current 100mA
– 1.2V LDO support two mode: lower power, high power

1.3.19. 电压侦测器

– Programmable voltage detector

1.3.20. 内部时钟

– 128KHz on-chip oscillator clock for watchdog and PMU
– PLL clock which can be used for system clock
– 48MHz USB PLL clock which can be used for USB SIE

1.3.21. 内部晶振时钟

– Up to 20Mhz external crystal oscillator clock which can be used for system clock

Levetop Semiconductor

© Levetop Semiconductor Co., Ltd.

1.4. 系统应用方块图

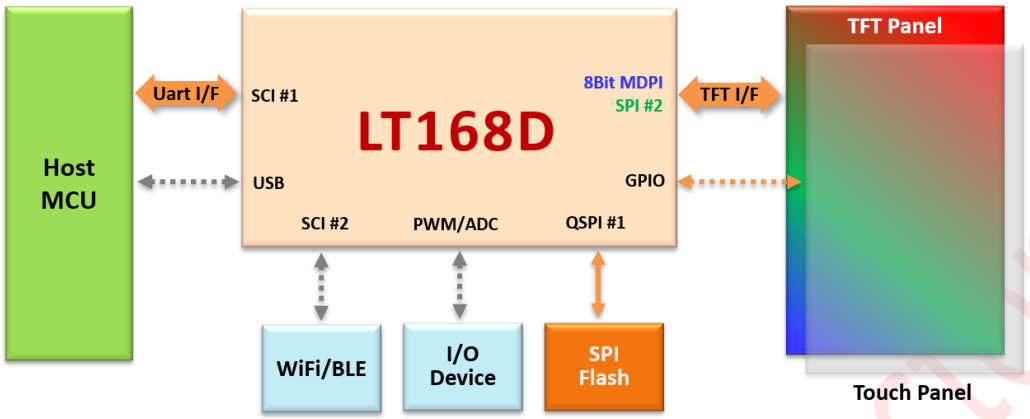

图 1-3：LT168D 系统应用方块图

1.5. TFT 模块应用图

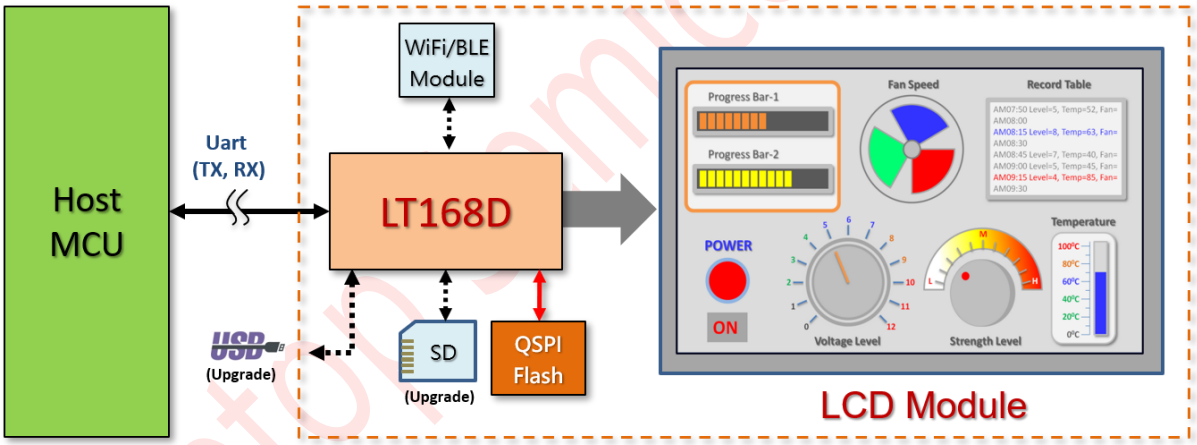

图 1-4：TFT LCD 模块应用图

© Levetop Semiconductor Co., Ltd.

2. 引脚信号说明

LT168D 封装及型号如下：

- QFN40 (5*5 mm^2) – LT168D

2.1. 芯片脚位图

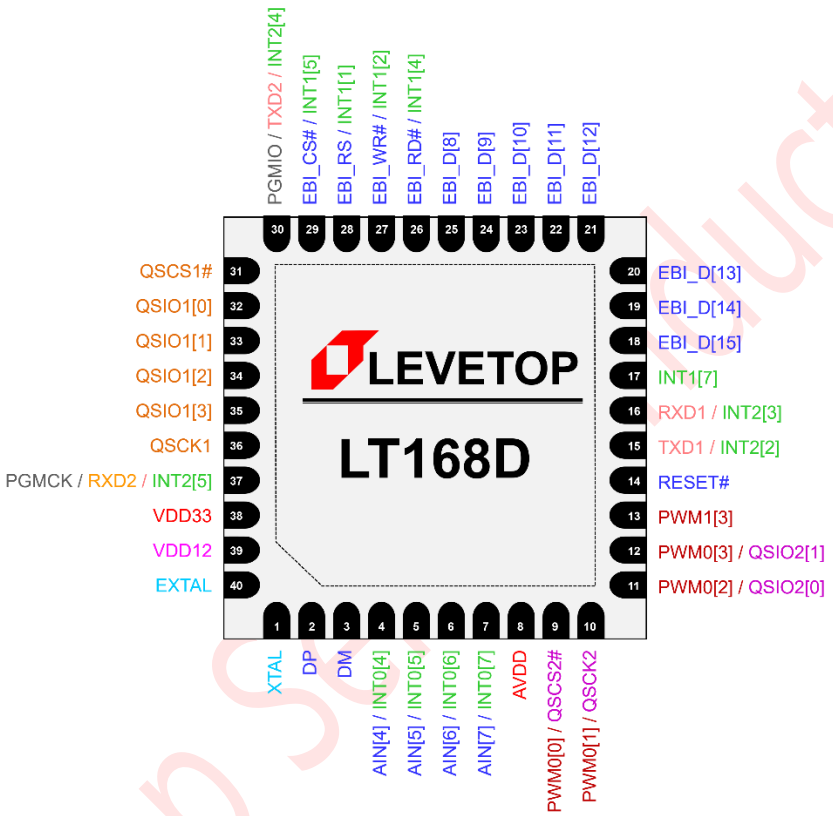

图 2-1：LT168D (QFN40) 脚位图

Levetop Semiconductor

© Levetop Semiconductor Co., Ltd.

2.2. 信号特性

表 2-1：信号特性说明

引脚名称	复用信号 1	复用信号 2	脚 位	Qty.	Dir	Default Dir *2	Pullup *3	IO Type *4
SCI (4)								
RXD1*1	INT2[3]	-	16	1	I/O	I	PullUp	PBCUL16R
TXD1	INT2[2]	-	15	1	I/O	O(H)	-	PBCUL16R
RXD2	PGMCK	INT2[5]	37	1	I/O	I	PullUp	PBCUL16R
TXD2	PGMIO	INT2[4]	30	1	I/O	I	PullUp	PBCUL16R
USB (2)								
DP	-	-	2	1	Analog	Hiz	-	-
DM	-	-	3	1	Analog	Hiz	-	-
QSPI (10)								
QSIO2[1]	PWM0[3]	-	12	1	I/O	I	PullDown	PBCD24R
QSIO2[0]	PWM0[2]	-	11	1	I/O	I	PullDown	PBCD24R
QSCK2	PWM0[1]	-	10	1	I/O	I	PullDown	PBCD24R
QSCS2#	PWM0[0]	-	9	1	I/O	I	PullDown	PBCD24R
QSIO1[3]	-	-	35	1	I/O	I	PullUp	PBCU24R
QSIO1[2]	-	-	34	1	I/O	I	PullUp	PBCU24R
QSIO1[1]	-	-	33	1	I/O	I	PullUp	PBCU24R
QSIO1[0]	-	-	32	1	I/O	I	PullUp	PBCU24R
QSCK1	-	-	36	1	O	O(L)	-	PBCU24R
QSCS1#	-	-	31	1	O	O(H)	-	PBCU24R
PWM0 (4)								
PWM0[3]	QSIO2[1]	-	12	1	I/O	I	PullDown	PBCD24R
PWM0[2]	QSIO2[0]	-	11	1	I/O	I	PullDown	PBCD24R
PWM0[1]	QSCK2	-	10	1	I/O	I	PullDown	PBCD24R
PWM0[0]	QSCS2#	-	9	1	I/O	I	PullDown	PBCD24R
PWM1 (1)								
PWM1[3]	-	-	13	1	I/O	I	PullDown	PBCD24R
ADC (4)								
AIN[7]	INT0[7]	-	7	1	Analog	Hiz	-	PVDD1ANPR
AIN[6]	INT0[6]	-	6	1	Analog	Hiz	-	PVDD1ANPR
AIN[5]	INT0[5]	-	5	1	Analog	Hiz	-	PVDD1ANPR
AIN[4]	INT0[4]	-	4	1	Analog	Hiz	-	PVDD1ANPR
Edge Port 0 4)								
INT0[7]	AIN[7]	-	7	1	I/O	Hiz	-	PBCUL16R

© Levetop Semiconductor Co., Ltd.

引脚名称	复用信号 1	复用信号 2	脚 位	Qty.	Dir	Default Dir *2	Pullup *3	IO Type *4
INT0[6]	AIN[6]	-	6	1	I/O	Hiz	-	PBCUL16R
INT0[5]	AIN[5]	-	5	1	I/O	Hiz	-	PBCUL16R
INT0[4]	AIN[4]	-	4	1	I/O	Hiz	-	PBCUL16R
Edge Port 1 (5)								
INT1[7]	-	-	17	1	I/O	I	PullUp	PBCUL16R
INT1[5]	EBI_CS#	TFT_PCLK	29	1	I/O	O(H)	-	PBCU24R
INT1[4]	EBI_RD#	TFT_HS	26	1	I/O	O(H)	-	PBCU24R
INT1[2]	EBI_WR#	TFT_VS	27	1	I/O	O(H)	-	PBCU24R
INT1[1]	EBI_RS	TFT_DE	28	1	I/O	O(L)	-	PBCU24R
Edge Port 2 (4)								
INT2[5]	RXD2	PGMCK	37	1	I/O	I	PullUp	PBCUL16R
INT2[4]	TXD2	PGMIO	30	1	I/O	I	PullUp	PBCUL16R
INT2[3]	RXD1	-	16	1	I/O	I	PullUp	PBCUL16R
INT2[2]	TXD1	-	15	1	I/O	O(H)	-	PBCUL16R
Programming Port (2)								
PGMCK	RXD2	INT2[5]	37	1	I/O	I	PullUp	PBCUL16R
PGMIO	TXD2	INT2[4]	30	1	I/O	I	PullUp	PBCUL16R
CLOCK (2)								
EXTAL	-	-	40	1	I/O	I	-	PXWE2R
XTAL	-	-	1	1	I/O	O	-	PXWE2R
RESET (1)								
RESET#	-	-	14	1	-	I	PullUp	PISUR
EBI (12)								
EBI_CS#*5	TFT_PCLK	INT1[5]	29	1	I/O	O(H)	-	PBCU24R
EBI_RS	TFT_DE	INT1[1]	28	1	I/O	O(L)	-	PBCU24R
EBI_RD#	TFT_HS	INT1[4]	26	1	I/O	O(H)	-	PBCU24R
EBI_WR#	TFT_VS	INT1[2]	27	1	I/O	O(H)	-	PBCU24R
EBI_D[15]	TFT_RGB[15]	GPIO_D[15]	18	1	I/O	I	PullUp	PBCU24R
EBI_D[14]	TFT_RGB[14]	GPIO_D[14]	19	1	I/O	I	PullUp	PBCU24R
EBI_D[13]	TFT_RGB[13]	GPIO_D[13]	20	1	I/O	I	PullUp	PBCU24R
EBI_D[12]	TFT_RGB[12]	GPIO_D[12]	21	1	I/O	I	PullUp	PBCU24R
EBI_D[11]	TFT_RGB[11]	GPIO_D[11]	22	1	I/O	I	PullUp	PBCU24R
EBI_D[10]	TFT_RGB[10]	GPIO_D[10]	23	1	I/O	I	PullUp	PBCU24R
EBI_D[9]	TFT_RGB[9]	GPIO_D[9]	24	1	I/O	I	PullUp	PBCU24R
EBI_D[8]	TFT_RGB[8]	GPIO_D[8]	25	1	I/O	I	PullUp	PBCU24R
Power Supply								

© Levetop Semiconductor Co., Ltd.

引脚名称	复用信号 1	复用信号 2	脚 位	Qty.	Dir	Default Dir *2	Pullup *3	IO Type *4
VDD33	-	-	38	2	P	-	-	PVDD2R
VDD12	-	-	39	1	P	-	-	PWR
AVDD	-	-	8	1	P	-	-	PVDD1ANPR
VSS	-	-	41*6	1	G	-	-	PWR

提示：

1. 红色信号为复用信号中默认的引脚名称。
2. "Default Dir" i 是指复位后的驱动方向。 “I”代表输入， “O”代表输出， “O（H）”代表输出高， “O（L）”代表输出低， “Hiz”代表输入和输出全部禁用，上拉/下拉电阻也被禁用。
3. 当信号被程序设计为输出时，所有上拉和下拉电阻都是断开。
4. 输出的 I/O 驱动：
   - PBCU24R = CMOS Tri-state output pad with controllable input and controllable pull-up,
   - PBCUL16R = CMOS Tri-state output pad with controllable input and controllable pullup and limited slew rate,
   - PBCD24R = CMOS Tri-state output pad with enable controlled input and enable controlled pull down,
   - PISUR = schmitt trigger enable controlled input pad with pull-up,
   - PVDD1ANPR = VDD analog PAD with digital power domain,
   - PXWE2R = Crystal oscillator with internal resistor and active high enable,
   - PVDD2R = VDD power pad for I/O post driver,
   - The suffix of cell means the drive strength and x can be 2, 16 and 24. For example, PBCU24R means the drive strength is 24mA.
5. EBI Bus 的控制信号线为专用的硬件接口，不能用其他 GPIO 引脚替代。
6. 这是 LT168D 的背面散热焊盘，它必须直接接地（VSS/GND）。

Levetop Semiconductor

© Levetop Semiconductor Co., Ltd.

2.3. 信号说明

本章节提供引脚信号的简要说明，有关更多详细信息，请参阅特定模块部分。

表 2-2：引脚信号说明

信号名称	引脚号	引脚说明
串口模块信号 1 (SCI1)		
RXD1	16	**SCI 接收数据** 该信号用于 SCI1 接收器数据输入，当未配置为接收器操作时，也可用于 GPIO（INT2[3]）信号。
TXD1	15	**SCI 传输数据** 该信号用于 SCI1 发送器数据输出，当未配置为发送器操作时，也可用于 GPIO（INT2[2]）信号。
串口模块信号 2 (SCI2)		
RXD2	37	**SCI 接收数据** 该信号用于 SCI2 接收器数据输入，当未配置为接收器操作时，也可用于 GPIO（INT2[5]）或 PGMCK 信号。
TXD2	30	**SCI 传输数据** 该信号用于 SCI2 发送器数据输出，当未配置为发送器操作时，也可用于 GPIO（INT2[4]）或 PGMIO 信号。
外部总线（External Bus Interface，EBI）信号 外部总线接口负责控制内部总线和外部 MCU 显示屏间的信息传输。LT168D 支持 8 位 EBI。		
EBI_CS#	29	**EBI 片选信号（8080 MCU 屏片选信号）** LT168D 提供外部总线接口（External Bus Interface（EBI）来驱动 8080 MCU 接口的 LCD 显示面板，该信号是外部总线接口的片选信号。也就是当使用 8Bit 并口的 MCU 屏时，此信号为 LT168D 对外部 8Bit MCU 屏的片选控制信号。
EBI_RS	28	**EBI 寄存器选择信号** 当使用 8Bit 并口的 MCU 屏时，此信号连接到 MCU 屏 RS 或 A0 信号。
EBI_RD#	26	**EBI 数据读取控制信号** 当使用 8Bit 并口的 MCU 屏时，此信号为 LT168D 对外部 8Bit MCU 屏的数据读取控制信号。
EBI_WR#	27	**EBI 数据写入控制信号** 当使用 8Bit 并口的 MCU 屏时，此信号为 LT168D 对外部 8Bit MCU 屏的数据写入控制信号。

© Levetop Semiconductor Co., Ltd.

信号名称	引脚号	引脚说明
EBI_D[15:8]	18, 19, 20, 21, 22, 23, 24, 25	**EBI 高位数据信号** 使用 8Bit 并口的 MCU 屏时，这些信号为 LT168D 对外部 8Bit MCU 屏的数据 Bit7~Bit0 传输信号。
USB 控制信号		
DP	2	**USB 数据端（Positive）** 此为 USB 数据端 DP 的信号。LT168D 可以透过 USB 接口更新内部 MCU 程序及外接 SPI Flash 内的数据。
DM	3	**USB 数据端（Negative）** 此为 USB 数据端 DM 的信号。
四线 SPI 串口模块信号 1 (QSPI1)		
QSIO1[3:0]	35, 34, 33, 32	**QSPI1 输入/输出** 这些信号是 QSPI1 在主模式下的数据输出或输入。
QSCS1#	31	**QSPI1 片选输出** 该信号是 QSPI1 在主模式和低电平有效模式下的片选信号。
QSCK1	36	**QSPI1 时钟输出** 该信号是 QSPI1 在主模式下的串行时钟输出。
四线 SPI 串口模块信号 2 (QSPI2)		
QSIO2[1:0]	12, 11	**QSPI2 输入/输出** 这些信号是 QSPI2 在主模式下的数据输出或输入。 当未配置为 QSPI2 时，这些信号也可用于 PWM0[3]和 PWM0[2] 。
QSCS2#	9	**QSPI2 片选输出** 该信号是 QSPI2 在主模式和低电平有效模式下的片选信号。 当未针对 QSPI2 进行配置时，该信号也可用于 PWM0[0]。
QSCK2	10	**QSPI2 时钟输出** 该信号是 QSPI2 在主模式下的串行时钟输出。 当未针对 QSPI2 进行配置时，该信号也可用于 PWM0[1]。
EPORT 模块 0 信号		
INT0[7:4]	7, 6, 5, 4	**中断输入 / GPIO 输出入** 这些双向信号可用作外部中断源或 GPIO 使用。 当未为中断源或 GPIO 配置时，这些信号也可用于 AIN[7：4]。
EPORT 模块 1 信号		

© Levetop Semiconductor Co., Ltd.

信号名称	引脚号	引脚说明
INT1[7] **INT1[5]** **INT1[4]** **INT1[2]** **INT1[1]**	17 29 26 27 28	**中断输入 / GPIO 输出入** 这些双向信号可用作外部中断源或 GPIO 使用。
PWM 模块 0 信号		
PWM0[3:0]	12, 11, 10, 9	这些输出信号可用作 PWM 0 输出或 GPIO 使用。
PWM 模块 1 信号		
PWM1[3]	13	这输出信号可用作 PWM 1 输出或 GPIO 使用。
ADC 模拟信号输入		
AIN[7:4]	7, 6, 5, 4	**模拟信号输入** 这些模拟信号用作 ADC 模拟输入通道。 当未配置为模拟输入时，这些信号也可用于 INT0[7：4]。
程序烧录信号		
PGMCK	37	**程序烧录时钟** 该输入信号是用于对内部闪存进行程序烧录时的时钟信号。
PGMIO	30	**程序烧录数据** 该输入信号是用于对内部闪存进行程序烧录时的数据信号。
时钟信号		
EXTAL	40	**系统时钟信号源** 此引脚连接至外部 12Mhz 晶振
XTAL	1	**系统时钟信号源** 此引脚连接至外部 12Mhz 晶振
复位输入信号		
RESET#	14	**复位输入信号** 当 RESET# = 0 时，将对内部 MCU 产生复位动作，除了少数由 POR 才能复位的寄存器外，大多数由 MCU 控制的寄存器将回复到默认值。
电源与接地信号 这些信号为芯片提供系统电源和接地。需确保芯片可以获得足够的电流能力。所有电源信号必须具有足够的旁路电容，以抑制高频噪声。		
VDD33	38	**3.3V 电源输入** 供给 I/O 与 LDO 的电源，此引脚必须外接一个 4.7uF 和一个 0.1uF 滤波电容到地。

© Levetop Semiconductor Co., Ltd.

信号名称	引脚号	引脚说明
VDD12	39	**1.2V LDO 电源输出（Core）** 供内核数字电路的电源，此引脚必须外接一个 4.7uF 和一个 0.1uF 滤波电容到地。
AVDD	8	**3.3V ADC 等仿真电路的电源输入**
VSS	41(1)	**GND 接地**

提示(1)：这是散热焊盘（Thermal Pad Zone）必须接到 VSS 或是 GND 。**在做 PCB 布局时需要特别注意焊盘的焊接面设计，详细请参考第 7.3 节的说明。**

Levetop Semiconductor

© Levetop Semiconductor Co., Ltd.

2.4. LT168D 与 LT168 之比较

表 2-3：LT168D 比较表

功 能		LT168D	LT168A	LT168B
项 目	说 明			
TFT LCD 屏	RGB 接口	--	--	V (480*480 max)
	16bit 8080 接口	--	--	V (800*480 max)
	8bit 8080 接口	V (480*320 max)	V (480*320 max)	V (480*320 max)
	SPI/QSPI 接口	SPI	SPI	V
MCU 内核、内存	内核	32-bits RISC	32-bits RISC	32-bits RISC
	速度	200MHz	200MHz	200MHz
	Flash 容量	--	512KB	2MB
	SRAM 容量	256KB	256KB	256KB
	显存(*1) 容量	512KB	512KB	512KB
	外接 PSRAM 显存扩展	--	--	V
其他模块接口	Uart 接口	V (x2)	V (x3)	V (x3)
	SPI 接口	V (x1)	V (x1)	--
	QSPI 接口	V (x1)	V (x1)	V (x2)
	USB 2.0	V	V	V
	SD 卡	V	V	V
	PWM 输出	V (x5)	V (x5)	V (x8)
	Can Bus	--	V (x1)	V (x1)
	ADC 输入	V (x4)	V (x4)	V (x8)
	RTP 接口	V	V	V
	CTP I2C 接口	--	V	V
	GPIO 接口	V (x10)	V (x10)	V (x19)
	RTC 时钟	--	V	V
应用与升级	UI_Editor-II	V	V	V
	UI_Emulator-II	V	V	V
	USB 口升级	V	V	V
	Uart 口升级	V	V	V
	SD 卡升级	V	V	V
	二次开发	V	V	V
电源与封装	电源	3.3V	3.3V	3.3V
	封装	QFN-40	QFN-48	QFN-68

提示*1： 显存 RAM 可作为普通 SRAM 使用，这也意味着最大支持的 SRAM 高达 768KB。

© Levetop Semiconductor Co., Ltd.

3. 硬件接口

3.1. 主控端 MCU 通讯接口

LT168D 和主控 MCU 的通讯模式是透过 UART 接口，两边的 UART 接口 TX 及 RX 必须交叉对接，参考下图所示。如果连接的距离很长还需要增加 RS232 驱动芯片，以避免信号衰减影响通讯。串口通讯的软件设置和通讯协议可参考乐升半导体的的串口屏应用手册（UI_Editor-II_CH_Vxx.pdf）。

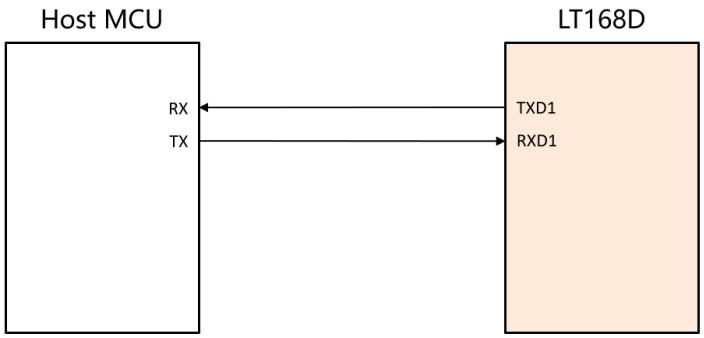

图 3-1：LT168D 的串口和主控 MCU 的通讯

3.2. TFT LCD 屏的控制接口

LT168D 提供了一个外部总线接口（Exernal Bus Interface，EBI），用于驱动并行 8080 接口的 TFT 面板。该并行接口的数据总线为 8 位。其中 LT168D 提供 8 位的 8080 并行接口，可与 8 位 8080 接口的 TFT 屏连接，参考原理图如下图 3-2：

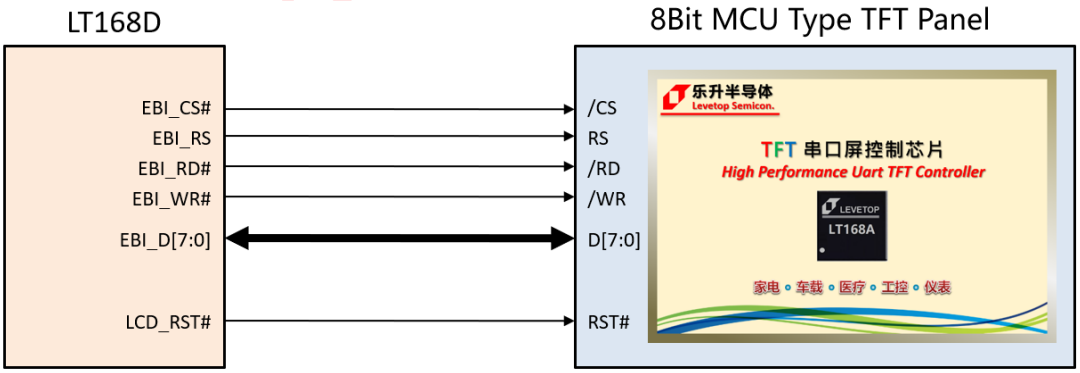

图 3-2：LT168D 与 8 位 8080 并行接口的 TFT 屏连接

© Levetop Semiconductor Co., Ltd.

LT168D 提供一組 SPI，可与 SPI 接口的 TFT 屏连接，参考原理图如下图所示：

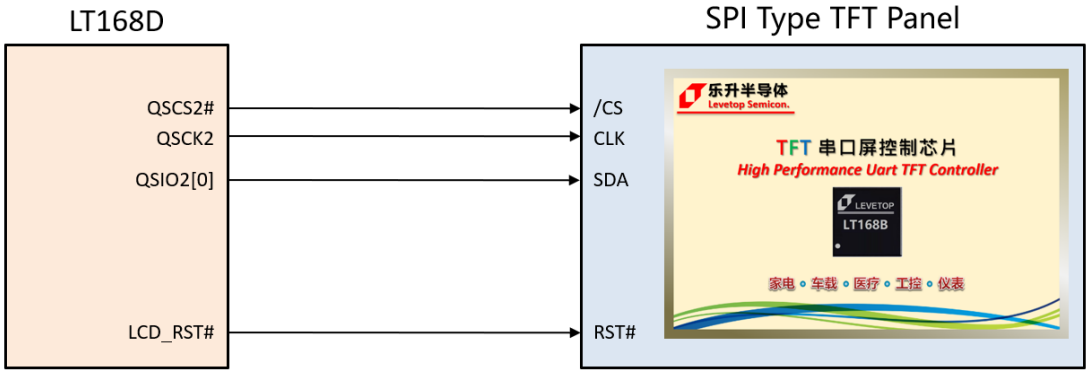

图 3-3：LT168D 与 SPI 接口的 TFT 屏连接

3.3. QSPI 接口

LT168D 有一组 QSPI 的接口，是用来连接外部的 QSPI Flash，这个外部的 Flash 是被用做储存**程序代码、动显示图片、动画、文字和其他信息。**当 LT168D 收到主控经由 Uart 接口发送过来的串口指令，它会根据指令从 QSPI Flash 提取图片或者其他显示相关信息，和传输 LCD 屏的数据。这些数据可以在 SPI Flash 中通过 USB 端口连接电脑软件更新（参考串口屏应用手册），参考原理图如下图所示。

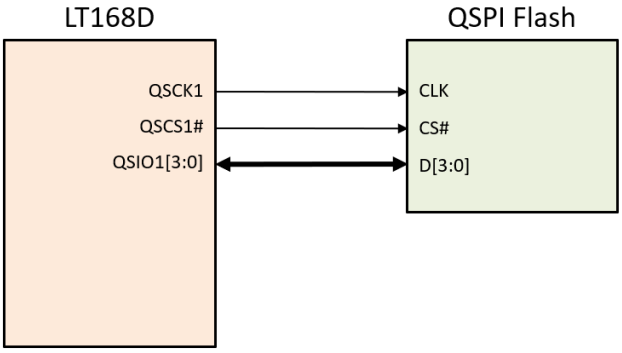

图 3-4：LT168D 连接 QSPI Flash 原理图

© Levetop Semiconductor Co., Ltd.

3.4. LCD 触控屏接口

LT168D 有一个 ADC 输入模块和 I2C 的控制电路，可以直接与外部 LCD 上面的触控屏连接，参考原理图如下：

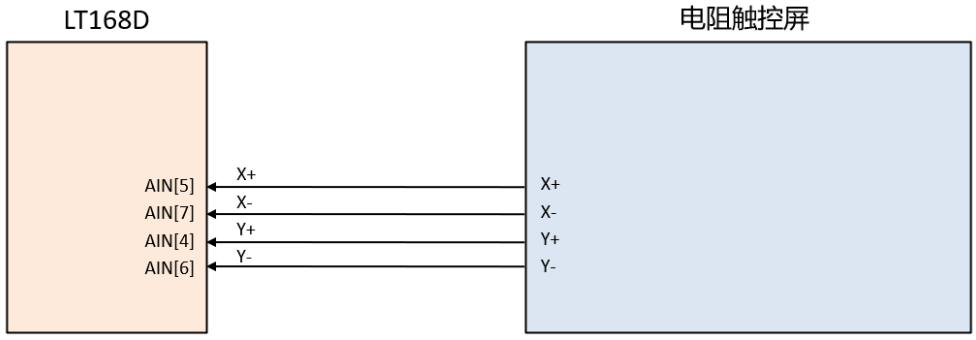

图 3-5：LT168D 连接到电阻触控屏

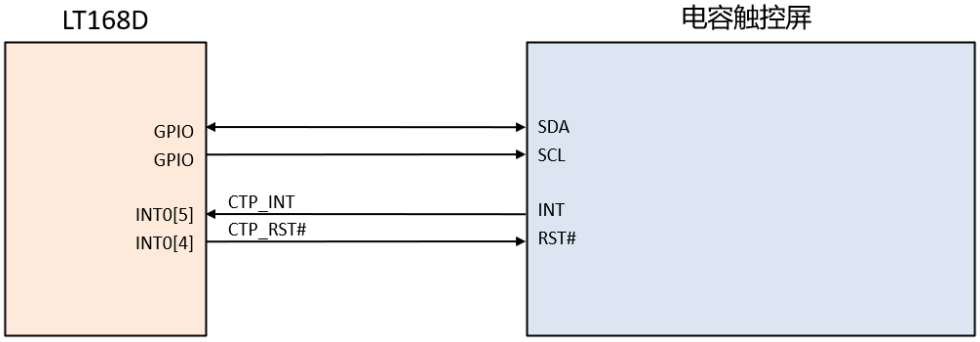

图 3-6：LT168D 连接到电容触控屏

3.5. 时钟信号源接口

LT168D 需要一个外部的 12MHz 晶振作为内部的系统时钟和 USB 的时钟来源，参考原理图如下：

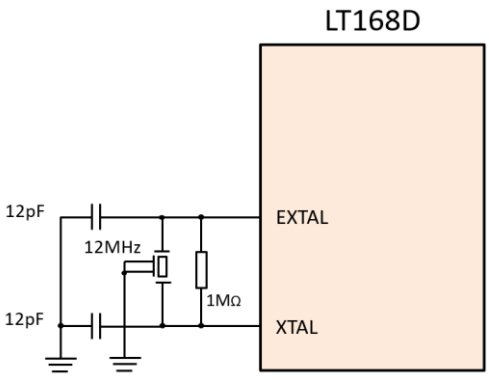

图 3-7：外部的 12MHz 晶振原理图

© Levetop Semiconductor Co., Ltd.

3.6. LCD 背光控制接口

LT168D 使用 PWM1[3] 来提供一个背光控制的信号 - "BL_PWM"，可以用来控制 TFT LCD 屏的背光或是背光的升压电路，参考原理图如下两个范例：

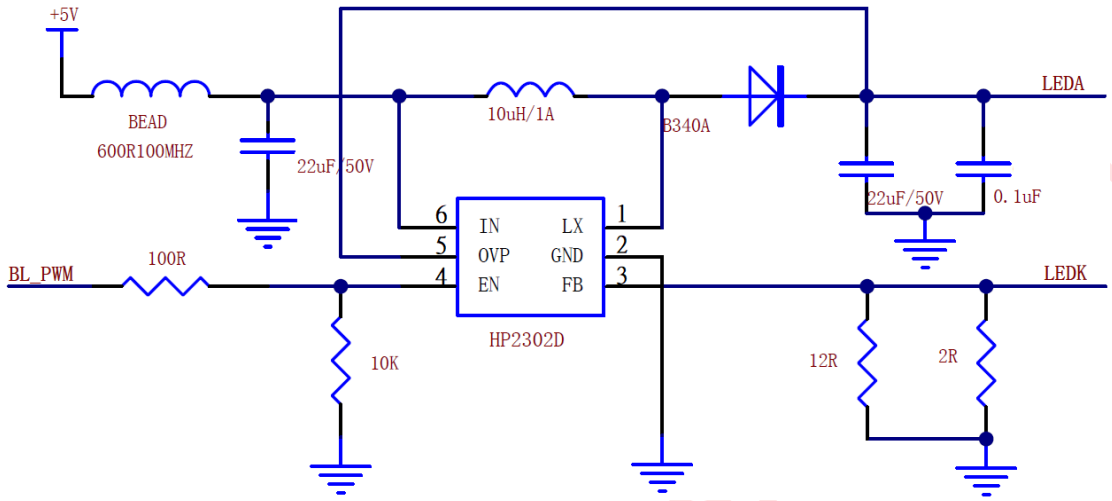

图 3-8：TFT LCD 背光控制参考原理图 - 1

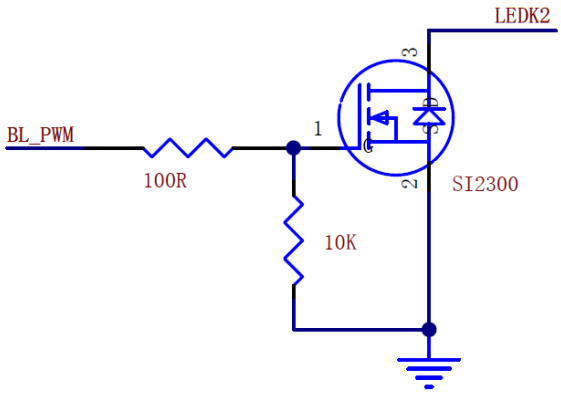

图 3-9：TFT LCD 背光控制参考原理图 - 2

© Levetop Semiconductor Co., Ltd.

3.7. 复位（Reset）

LT168D 的硬件复位来源有 2 种，2 种复位都会经过内部时钟做同步处理：

- 电源开启复位（Power on Reset）
- 外部复位输入信号（External Reset Pin，RESET#）

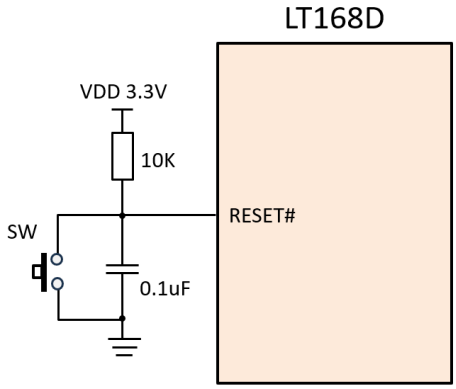

图 3-10：外部复位参考原理图

在工业应用或使用电池供电环境时，为避免电源波动导致内部复位不稳定建议增加专用复位芯片电路（如下图所示）：

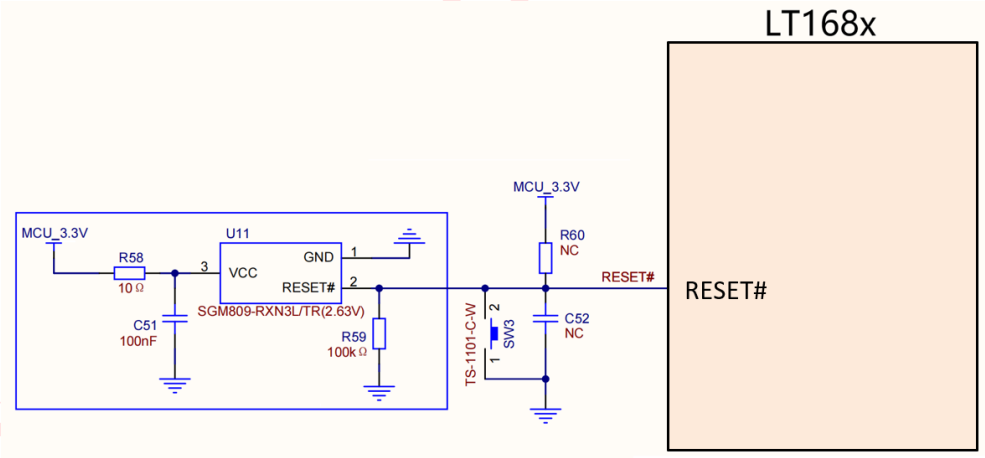

图 3-11：外加专用复位芯片参考原理图

© Levetop Semiconductor Co., Ltd.

3.8. USB 接口

LT168D 提供一个从机的 USB 功能。透过 USB 接口可以用专用 PC 电脑软件更新 LT168Dx 内部 MCU 程序及外接 SPI Flash 内的数据，详细操作模式请参考乐升半导体的串口屏应用手册（UI_Editor-II_CH_Vxx.pdf）。

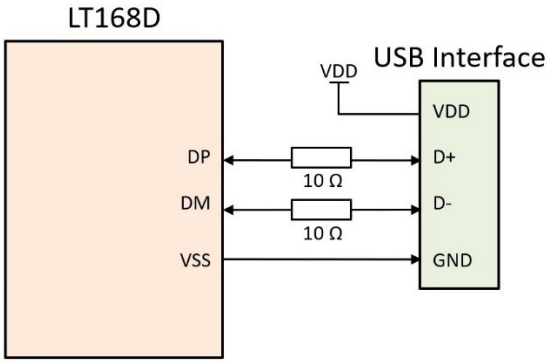

图 3-12：LT168D 连接到 USB 端口的应用电路

3.9. SPI/Uart 扩展接口

除了 TFT 串口屏的必要引脚外，LT168D 还可以提供一组 SPI 引脚供外部 SPI 元件，另一组 Uart 串口可供给 Uart 串口通讯（SCI 接口）的组件，如 WiFi 模块、蓝牙模块等，参考原理图如下：

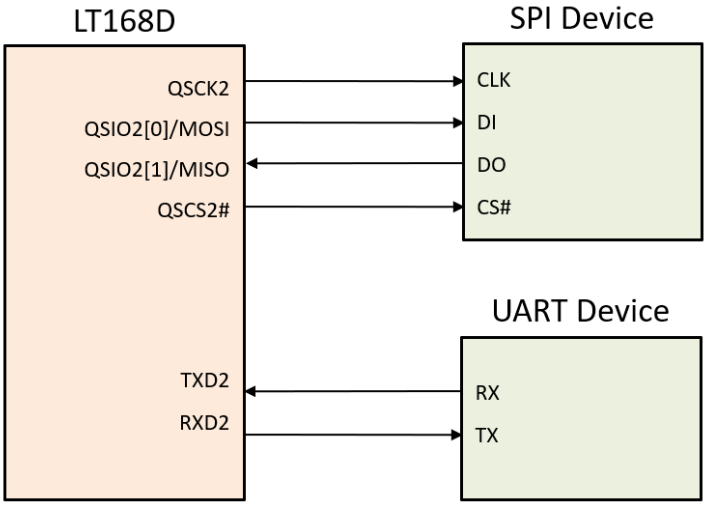

图 3-13：额外的 SPI、Uart 接口参考原理图

© Levetop Semiconductor Co., Ltd.

4. 内存与寄存器配置

4.1. 简要说明

LT168D 的内建/外部内存、寄存器包括：

- 最高 128M Bytes 的外部 QSPI Flash 闪存空间
- 内建 8K Bytes 内部 Boot ROM
- 768K Bytes 内部静态 SRAM
  - 系统 RAM：前 256K Bytes，地址由 0x00800000 开始
  - 显存 RAM：后 512K Bytes，地址由 0x00840000 开始
- 各模块内部寄存器

4.2. 地址配置图

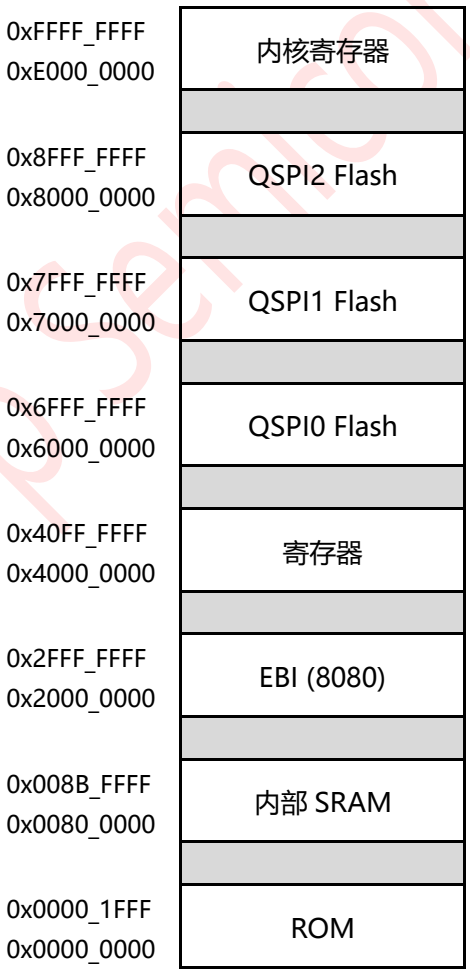

图 4-1：地址配置图

Levetop Semiconductor

© Levetop Semiconductor Co., Ltd.

表 4-1：硬件模块与寄存器地址的配置图

配置地址	最大区块	硬 件 模 块
0x4000_0000	64Kbyte	Direct Memory Access Controller (DMAC)
0x4001_0000	64Kbyte	Chip Configuration Module (CCM)
0x4002_0000	64Kbyte	Reset Control Module (RCM)
0x4003_0000	64Kbyte	Clock and Power Control Module (CLKPWRM)
0x4004_0000	64Kbyte	Programmable Interrupt Timer 0 (PIT0)
0x4005_0000	64Kbyte	Programmable Interrupt Timer 1 (PIT1)
0x4006_0000	64Kbyte	Programmable Interrupt Timer 2 (PIT2)
0x4007_0000	64Kbyte	Programmable Interrupt Timer 3 (PIT3)
0x4008_0000	64Kbyte	Serial Communication Interface 1 (SCI1)
0x4009_0000	64Kbyte	Serial Communication Interface 0 (SCI0)
0x400A_0000	64Kbyte	Analog Comparator 0 (COMP0)
0x400B_0000	64Kbyte	Analog Comparator 1 (COMP1)
0x400C_0000	64Kbyte	Serial Communication Interface 2 (SCI2)
0x400D_0000	64Kbyte	Pulse Width Modulator 0 (PWM0)
0x400E_0000	64Kbyte	Pulse Width Modulator 1 (PWM1)
0x400F_0000	64Kbyte	Edge Port Module 0 (EPORT0)
0x4010_0000	64Kbyte	Edge Port Module 1 (EPORT1)
0x4011_0000	64Kbyte	Analog-to-Digital Convertor (ADC)
0x4012_0000	64Kbyte	Efuse Control Module (EFM) and Option Byte (OPB)
0x4013_0000	64Kbyte	WatchDog Timer (WDT)
0x4014_0000	64Kbyte	Real Time Controller (RTC)
0x4015_0000	64Kbyte	Inter-Integrated Circuit (I2C)
0x4016_0000	64Kbyte	USB2.0 Full-Speed Device Controller (USBC)
0x4017_0000	64Kbyte	Crossbar Switch (XBAR)
0x4018_0000	64Kbyte	External Bus Interface (EBI)
0x4019_0000	64Kbyte	CACHE Module (CACHEM)
0x401A_0000	64Kbyte	RGB Controller (RGBC)
0x401B_0000	64Kbyte	Blender Controller (BLDC)
0x401C_0000	64Kbyte	CANBus Controller (CANBC)
0x401D_0000	64Kbyte	Edge Port Module 2 (EPORT2)
0x6000_0000	64Kbyte	Synchronous Serial Interface 0 (SSI0) - QSPI0
0x7000_0000	64Kbyte	Synchronous Serial Interface 1 (SSI1) - QSPI1
0x8000_0000	64Kbyte	Synchronous Serial Interface 2 (SSI2) - QSPI2
0xE000_0000	4Kbyte	Embedded Interrupt Controller (EIC)
0xE000_1000	4Kbyte	Embedded Programmable Timer (EPT)

提示：详细寄存器配置请参考完整规格书。

© Levetop Semiconductor Co., Ltd.

5. 电气特性

5.1. 极限参数

表 5-1：电气极限参数表

符号	参数描述	参数范围	单位
V_{DD33}	电源电压	-0.5 ~ 4.6	V
V_{IN}	逻辑输入电压	-0.5 ~ VDD33+0.5	V
V_{OUT}	逻辑输出电压	-0.5 ~ VDD33+0.5	V
P_D	最大功耗	≦300	mW
T_{OPR}	工作温度范围	-40 ~ 105	℃
T_{JT}	工作结温范围	-40 ~ 125	℃
T_{ST}	储存温度范围	-55 ~ 150	℃
T_{SOL}	最高焊接温度	260	℃

提示：最大极限值是指超出该工作范围时，芯片有可能损坏。推荐工作范围是指在该范围内，器件功能正常，但并不完全保证满足个别性能指针。电气参数定义了器件在工作范围内并且在保证特定性能指针的测试条件下的直流和交流电参数规范。对于未给定上下限值的参数，本规范不予保证其精度，但其典型值合理反映了器件性能。

5.2. DC 电气参数

表 5-2：IO 电气参数表(3.3V)

项目	符号	最小值	典型值	最大值	单位
工作电压	VDD33	2.97	3.3	3.63	V
输入高电位	V_{IH}	2.0	-	VDD33+0.3	V
输入低电位	V_{IL}	-0.3	-	0.8	V
输出高电位	V_{OH}	2.4	-	VDD33	V
输出低电位	V_{OL}	0	-	0.4	V
输入漏电流	I_{IN}	-	-	1	uA
上拉电阻	RPU	33	41	62	KΩ
下拉电阻	RPD	33	42	68	KΩ

© Levetop Semiconductor Co., Ltd.

表 5-3：电源特性

项目	符号	最小值	典型值	最大值	单位
芯片电源	VDD33	2.97	3.3	3.63	V
ADC 工作电压	AVDD	2.97	3.3	3.63	V
内核工作电压 (LDO O/P)	VDD12	1.1	1.2	1.3	V
RTC 工作电压	VBAT	2.7	3.3	3.6	V

5.3. ESD 保护规格

表 5-4：ESD 保护规格

ESD 项目	符号	最大值	单位	参考标准
Human Body Model	HBM	4,000	V	ANSI/ESDA/JEDEC JS-001-2017
Machine Model	MM	200	V	JEDEC JESD22-A115C-2010
Charged Device Model	CDM	800	V	ANSI/ESDA/JEDEC JS-002-2022
Latch Up	LU	200	mA	JEDEC JESD78F.01-2022, @105℃

提示：在进行人工焊接时建议人员与设备要做防静电处理，如适当的温湿度环境、焊接设备接地、防静电工作台、及焊接人员戴防静电手腕带等等。

Levetop Semiconductor

© Levetop Semiconductor Co., Ltd.

5.4. VDD 上电时序

LT168D 使用时必须注意 VDD 的上电（Power Up）要求，在上电时 VDD33 必须在低电压（V_L）维持至少 400ms 以上的等待时间（T_{WAIT}），同时 VDD33 由 V_L 到正常工作电压的上升时间（T_R）也不能太长，必须在 500ms 内达正常的工作电压范围，否则容易导致 LT168D 内部的 MCU 无法正常启动。

表 5-5：VDD 上电（Power Up）特性

参数	符号	条件与说明	Min.	Nom.	Max.	单位
Rise Time	T_R	输入电压由 V_L 到正常工作电压的上升时间	-	-	500	ms
Wait Time	T_{WAIT}	Power On 之前 VL 的保留时间	400	-	-	ms
VDD 输入电压	V_L	at $T=T_1$ on pin VDD33 (Power On 前的输入电压)	-	-	200	mV
VDD 输入电压	V_H	正常工作电压	2.97	3.3	3.63	V

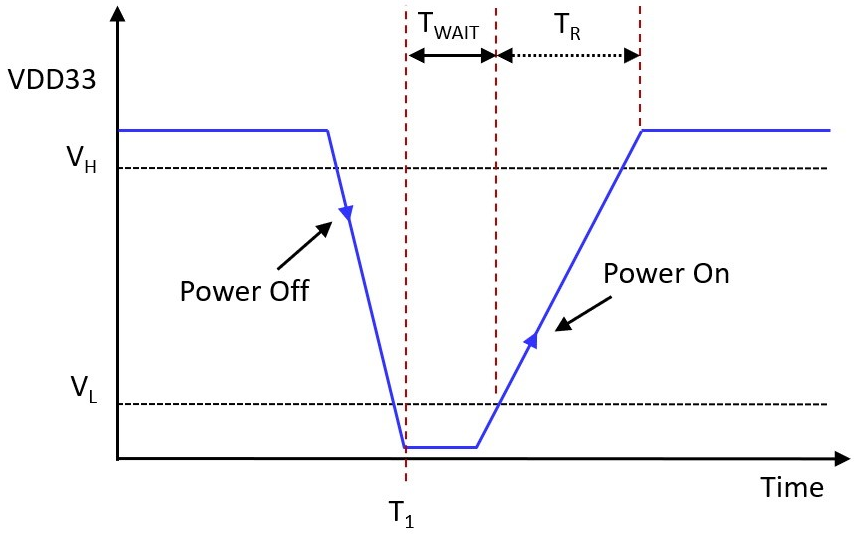

图 5-1：VDD 上电要求时序图

© Levetop Semiconductor Co., Ltd.

6. 参考原理图

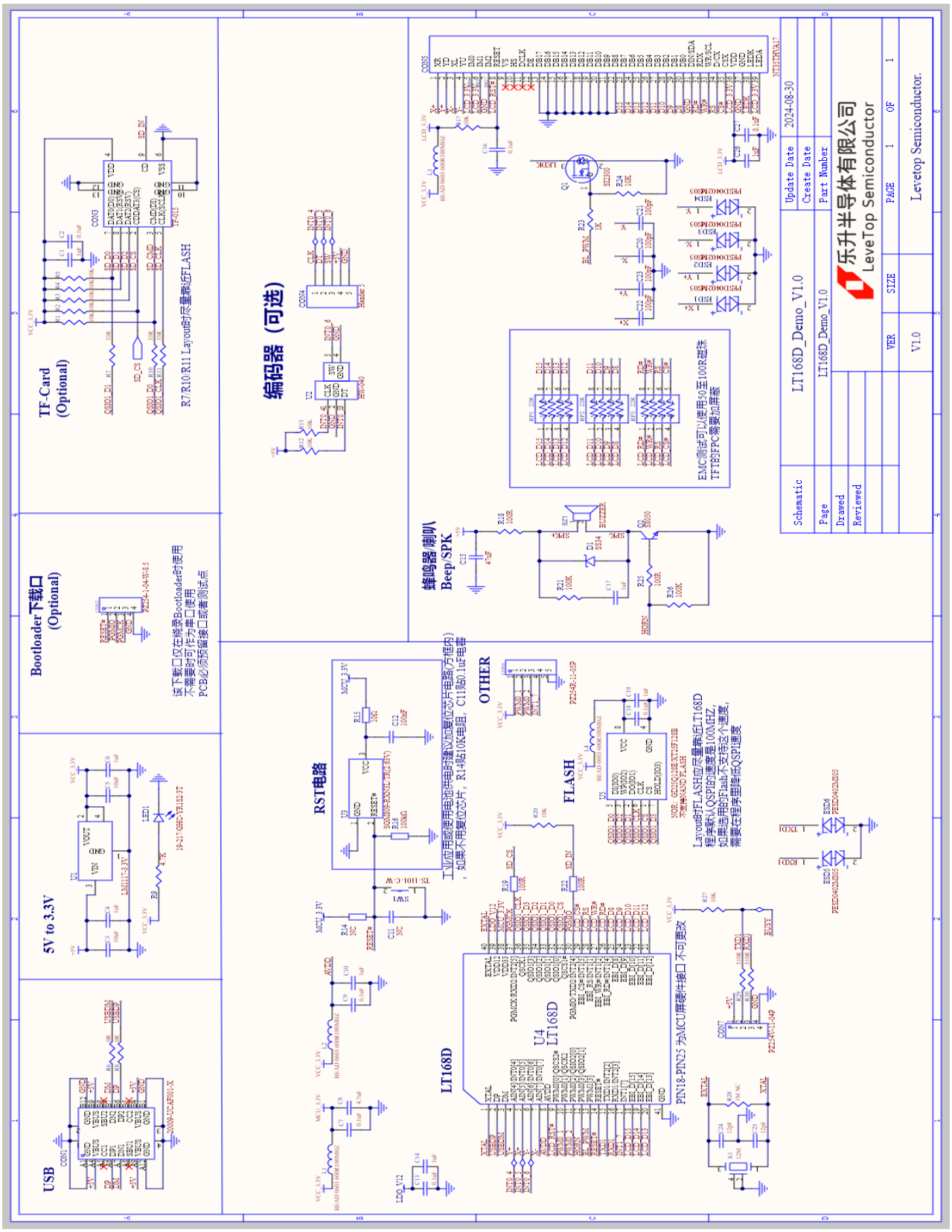

图 6-1：LT168D 接 8bit 8080 MCU 屏的参考原理图

© Levetop Semiconductor Co., Ltd.

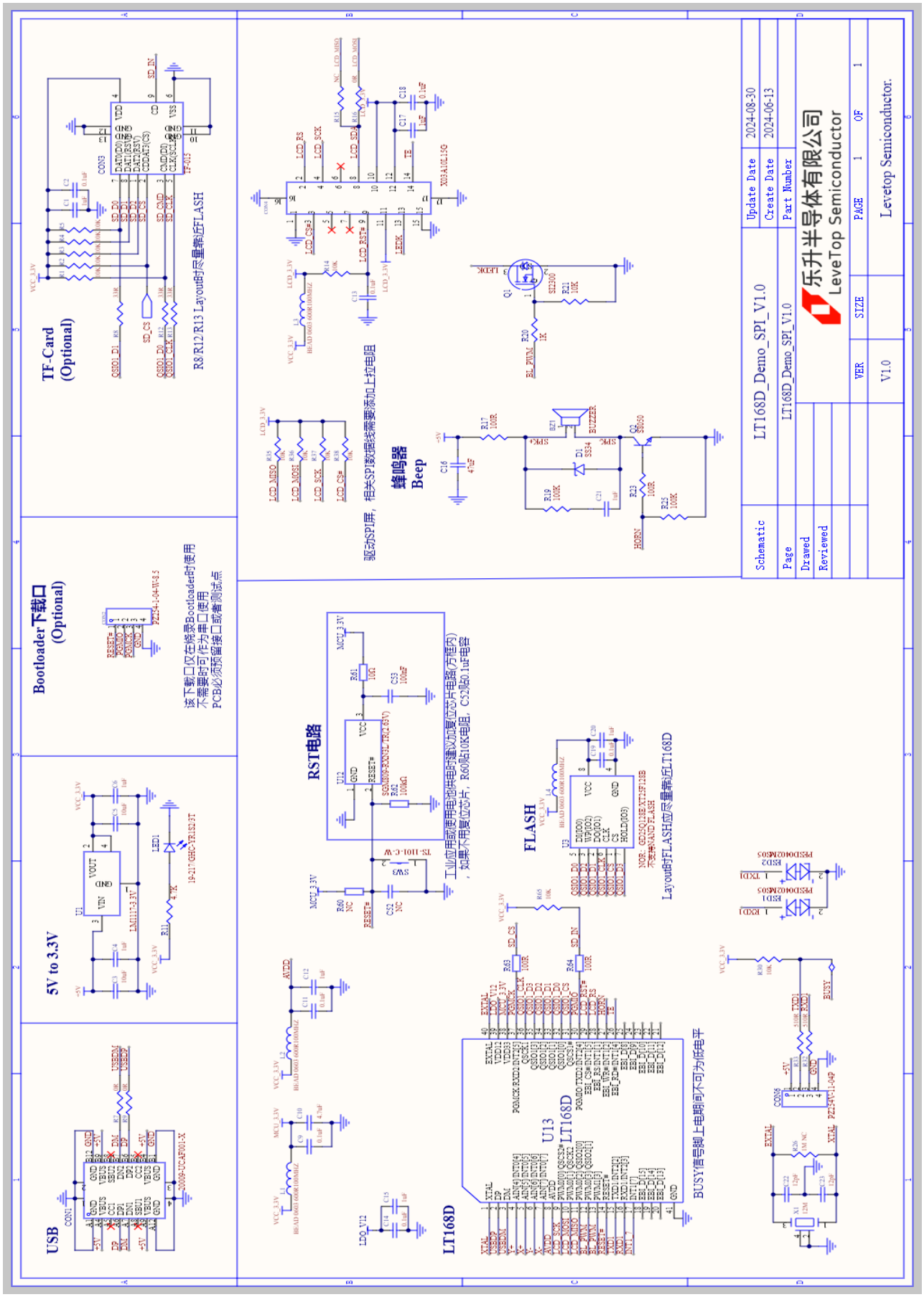

图 6-2：LT168D 接 SPI MCU 屏的参考原理图

© Levetop Semiconductor Co., Ltd.

7. 封装讯息

7.1. LT168D (QFN-40pin)

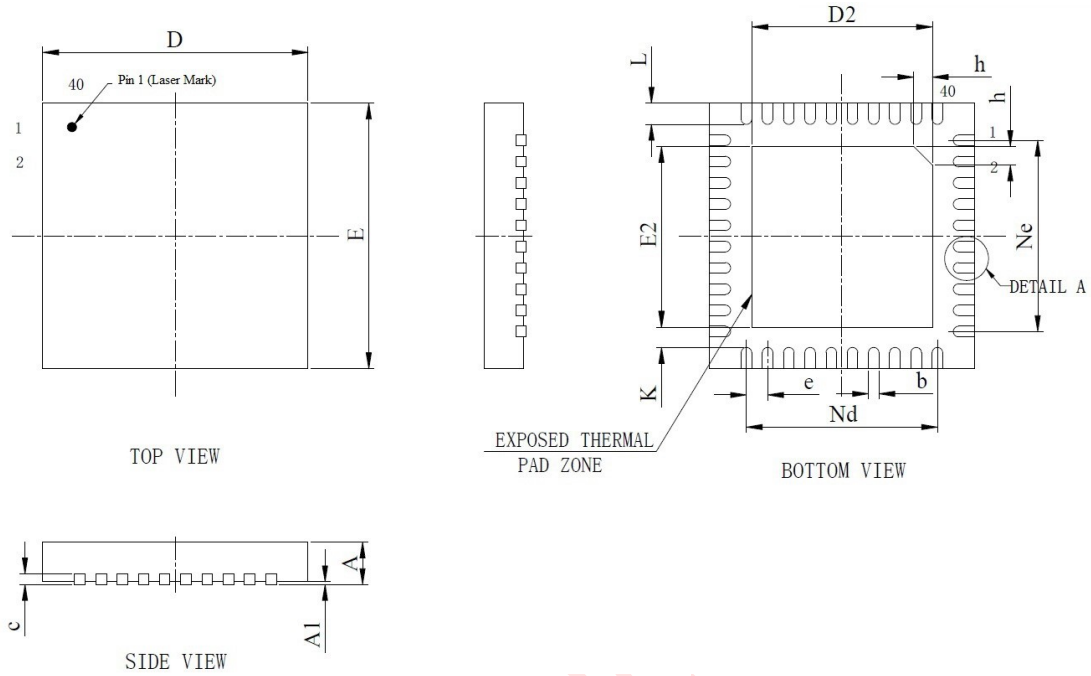

图 7-1：LT168D 外观尺寸图

表 7-1：LT168D 封装尺寸参数

Symbol	Min.	Nom.	Max.
A	0.70	0.75	0.80
A1	0	0.02	0.05
b	0.15	0.2	0.25
b1		0.14 Ref	
c	0.18	0.2	0.25
D	4.90	5.00	5.10
D2	3.30	3.40	3.50
e		0.4 BSC	
Nd		3.60 BSC	
E	4.90	5.00	5.10
E2	3.30	3.40	3.50
Ne		3.60 BSC	
L	0.35	0.40	0.45
K	0.20	--	--
h	0.30	0.35	0.40
Lead Frame		150x150 mil	

提示：PCB 布局时，LT168D 背部的散热焊盘（Thermal Pad Zone）必须直接接地。

© Levetop Semiconductor Co., Ltd.

7.2. 芯片接地焊盘的 PCB 设计

LT168D 采用 QFN 封装，芯片背部为接地（GND）的散热焊盘，为了达到更好的散热与降低焊接风险，在 PCB Layout 时建议把 LT168D 底部焊盘的 PCB 铜箔面分割为四个或是多个小的焊接面（方形或是圆形），并且各焊接面之间的间隔设置在~0.8mm，避免 PCB 使用相同甚至大于 LT168D 焊盘大小的完整焊接面而造成焊接不全，或是在焊接冷却后 PCB 与芯片焊盘拉扯导致芯片变形及接触不良，若是人工焊接避免在吹焊过程中用外力重压芯片上方。正确的 PCB 焊盘布局如下图 LT168D 范例，中间浅黄色区是 LT168D 底部的接地焊盘，灰色区是 PCB 接地小焊盘（焊接面），每个焊盘过孔接地 1~2 个既可。

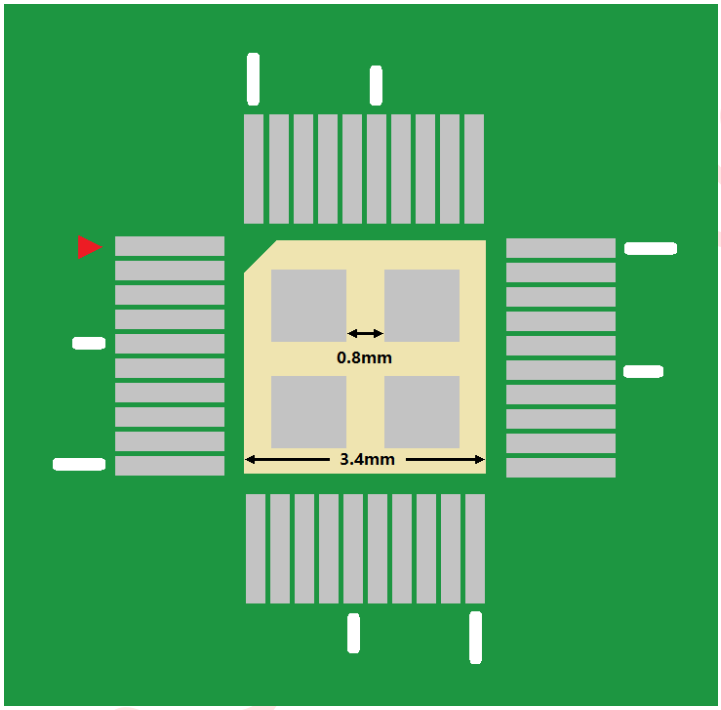

图 7-2：LT168D 底部焊盘 PCB 的设计建议

© Levetop Semiconductor Co., Ltd.